

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-038643

(43)Date of publication of application : 05.02.2004

---

(51)Int.Cl. G06F 13/14  
G06F 13/12  
G06K 19/07

---

(21)Application number : 2002-195853 (71)Applicant : MATSUSHITA ELECTRIC  
IND CO LTD

(22)Date of filing : 04.07.2002 (72)Inventor : IWATA KAZUYA  
KATO ISAO  
NAKAMURA SEIJI  
KASAHARA TETSUSHI  
ADACHI TATSUYA

---

(54) COMPOSITE INPUT AND OUTPUT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an input and output device consisting of the composition of two or more input and output device sharing the bus to a host and satisfactorily recognizable by the host as one device similar to the single body of the respective devices.

SOLUTION: A composite I/O card 10 comprises a memory unit 1A and an I/O unit 2A. The input and output parts 11A and 21A of the respective units are connected to the host H by the common bus 3. The host H transmits a command to the command

decoding parts 13 and 23 of both the input and output parts through a command line CMD. The respective command decoding parts set responses to the command. State reporting parts 15A and 25A report the respective states of their own input and output parts to the other input and output part. Response suppression parts 16A and 26A suppress the responses by the command decoding parts 13 and 23 of their own input and output parts based on the reported states, and transmit only a proper one of the responses to the host H.

#### \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### CLAIMS

---

[Claim(s)]

[Claim 1]

(A) The first input output section for relaying what belongs to the first command group among commands from a host to the first function part;

(B) second input output section [ for relaying what belongs to the second command group among commands from said host to the second function part ]; -- and

(C) A bus which connects said first input output section and said second input output section to said host, respectively, and is shared by those input output sections;

It is a compound input/output device which \*\*\*\*,

(D) Said first input output section and said second input output section are accessed by said host in a common address.;

(E) Said first input output section sends out or controls a response to said command according to a state of said second input output section.;

(F) Said second input output section sends out or controls a response to said command according to a state of said first input output section.;

A compound input/output device.

[Claim 2]

Each of said first input output section and said second input output section is (A). A

command decoding section for decoding a command from said host and sending out a response to the command to said host;

(B) state notification part [ for notifying a state of said self input output section which belongs to said other input output sections ]; -- and

(C) said -- others -- it was inputted from said state notification part of an input output section -- said -- others -- response inhibition part [ for controlling said response by said command decoding section of an input output section of said self which belongs according to a state of an input output section ];

The compound input/output device according to claim 1 which \*\*\*\*.

[Claim 3]

Each of said first input output section and said second input output section is (A). A command decoding section for decoding a command from said host and sending out a response to the command to said host;

(B) state guess part [ for memorizing a history of said command and guessing a state of said other input output sections based on the history ]; -- and

(C) it was guessed by said state guess part -- said -- others -- response inhibition part [ for controlling said response by said command decoding section of self according to a state of an input output section ];

The compound input/output device according to claim 1 which \*\*\*\*.

[Claim 4]

(A) To a command belonging to said first command group, said first input output section sends out a response, and said second input output section controls a response.;

(B) To a command belonging to said second command group, said first input output section controls a response, and said second input output section sends out a response.;

The compound input/output device according to claim 1.

[Claim 5]

The compound input/output device according to claim 1 with which said first input output section sends out a response, and said second input output section controls a response to a common command between said first command group and said second command group.

[Claim 6]

The compound input/output device according to claim 1 with which said input output section of the other sends out a response to said command when either of said input output sections is not active.

[Claim 7]

Each of said first input output section and said second input output section is (A). A register for memorizing common recognition information including said common address; it reaches,

(B) A register updated information part for notifying the contents of updating to said other input output sections at the time of renewal of said register;

\*\*\*\*\*, the compound input/output device according to claim 1.

[Claim 8]

Each of said first input output section and said second input output section is (A). A register for memorizing common recognition information including said common address; it reaches,

(B) supervising said response of said other input output sections, and being based on the response -- said -- others -- register estimating part [ for presuming the contents of said register in an input output section ];

\*\*\*\*\*, the compound input/output device according to claim 1.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to composite of two or more input/output devices which share the bus between the information management system especially about the input/output device for performing data communications between external information management systems.

[0002]

[Description of the Prior Art]

A variety of information management systems are mutually connected by the rapid progress of an information technology, and explosive spread, and various data can be exchanged. The flexibility about a variety of information management systems including downward compatibility is required of the input/output device (interface) which bears those data communications. Moreover, a small weight saving is called for also from the input/output device itself with the request of the small weight saving to the whole information management system.

[0003]

In the conventional input/output device, a card shape thing is especially used abundantly in recent years. This card shape input/output device is a small card of several centimeter angle with an interface built-in [ specific ]. A card shape input/output device is inserted in the dedicated slot provided in the information management system (host), and exchanges data with a host. By including the slot in various information management systems, the above-mentioned card shape input/output device acquires the flexibility over a variety of information management

systems.

[0004]

There are a memory card and an I/O card in the kind of the above-mentioned card shape input/output device. A memory card is a card type recording medium which contains semiconductor memory, such as a flash memory, in an inside, for example. Two or more hosts share the same memory card, and realize mutual data exchange.

Drawing 8 is a block diagram showing the conventional memory card 100 and the data exchange between the hosts H.

This memory card 100 is at least one data-line DAT, clock line CLK, the power source wire VDD, ground wire VSS, and the bus 103 containing the command line CMD, and is connected with the host H.

Through and electric power are supplied for the power source wire VDD and ground wire VSS to the memory card 100 from the host H.

[0005]

The input output section (it is also called a host interface) 101 receives and decodes a command from the host H through the command line CMD. According to the contents of the decoded command, a response is replied to the host H through the command line CMD.

When a command is the read-out command to a flash memory, the input output section 101 directs to read data from the flash memory of the inside to the memory part 102. Data-line DAT is transmitted to the read data to through and the host H. The input output section 101 performs data transfer by synchronous communications then. That is, it synchronizes with the clock transmitted by the host H through the clock line CLK, and data is transmitted. Data is then transmitted parallel through a serial or all the data-line DAT through either of data-line DAT.

[0006]

When a command is a write instruction to a flash memory, the input output section 101 receives through and its write-in object data for data-line DAT. Then, like the time of the above-mentioned read-out, data transfer synchronizes with the clock from the clock line CLK, and is transmitted serially or parallel. The write-in object data received by the input output section 101 is transmitted to the memory part 102. The memory part 102 memorizes the data to an internal flash memory.

[0007]

An I/O card connects between information management systems or networks with another host and its host. For example, an I/O card connects a host to the Radio Communications Department, a cellular phone or an inside. Thereby, a host realizes data exchange for a mobile phone line network or wireless LAN between the information management systems of through and others. In addition, an I/O card connects a host to a digital camera. Thereby, the host can incorporate, record or edit the image data picturized with the digital camera.

The host can gain various functions by one I/O card being connected to various function parts, such as through, the Radio Communications Department, a cellular phone, or a digital camera.

[0008]

Drawing 9 is a block diagram showing the data exchange between the conventional I/O card 200 and the host H.

The I/O card 200 is connected with the host H by the same bus 103 as the above-mentioned memory card 100. That is, the bus 103 contains data-line DAT, clock line CLK, the power source wire VDD, ground wire VSS, and the command line CMD.

Electric power is supplied for the power source wire VDD and ground wire VSS as well as the memory card 100 to the I/O card 200 from through and the host H.

[0009]

The I/O card 200 contains the Radio Communications Department 202A and the image pick-up part 202B as a function part, for example. The Radio Communications Department 202A connects with external wireless LAN, for example, and exchanges data. The image pick-up part 202B changes into a picture signal the optical image adopted from the outside, for example including image sensors, such as a charge coupled device (CCD).

[0010]

From through and the host H, the input output section 201 receives a command and decodes the command line CMD. According to the contents of the decoded command, a response is replied to the host H through the command line CMD.

When a command is a data transfer instruction to the Radio Communications Department 202A or the image pick-up part 202B, the input output section 201 reads data from each module. Data-line DAT is transmitted to the read data to through and the host H. Data transfer by the input output section 201 is then performed by synchronous communications according to the clock transmitted by the host H through the clock line CLK. Data is parallel transmitted through a serial or all the data-line DAT through either of data-line DAT.

[0011]

When a command is the data transmission command to the Radio Communications Department 202A, the input output section 201 receives through and transmission object data for data-line DAT from the host H. Then, like the time of the above-mentioned read-out, data transfer synchronizes with the clock from the clock line CLK, and is transmitted serially or parallel. The data received by the input output section 201 is transmitted to the Radio Communications Department 202A, and also is transmitted to the exterior on radio.

[0012]

When carrying out two or more owners of the above-mentioned slot for card shape

input/output devices, for example, a host connects with the card shape input/output device and the couple 1 which were inserted in each slot, and recognizes. That is, each card shape input/output device is physically specified by specification of physical connection like a bus. A card address which is different to through and each card shape input/output device in such physical specification is assigned. After the assignment, the host can specify logically the card shape input/output device of a communication target, and the bus for connection with it with a card address.

[0013]

Recognition over the conventional card shape input/output device by a host is specifically performed as follows.

A host recognizes the conventional card shape input/output device through the initial setting. Initial setting of a card shape input/output device is started by issue of powering on from a host, or a reset command. The input output section of a card shape input/output device changes in several kinds of the state at the time of initial setting.

[0014]

Here, the state of the input output section is distinguished by whether an input output section performs predetermined operation according to a specific command. Especially the commands that may be received by the input output section differ for every state.

An input output section replies the host H the response (ACK) which shows a command reception success, when the command which can be received in the state is received normally. Predetermined processing is performed according to the command, or the contents of the command are relayed to a function part.

An input output section replies a host the response (NAK) which shows command reception failure, when reception of a command goes wrong, or when the command which cannot be received a state is received normally. In addition, the input output section needs to send out no response then. A host restricts the waiting time of a response, and when not receiving a response in the waiting time, he judges it as failure in the command reception by an input output section, or issue of the invalid command to an input output section.

[0015]

Generally the state of an input output section changes according to a command. There are a thing which is common with the memory card 100 and the I/O card 200, and a different thing in the state of an input output section. It is coincided with and there are what is common with both cards, and a different thing in the host's H command.

The memory card 100 and the I/O card 200 are common in the physical terminal area of the bus 103 grade between the hosts H (drawing 8, nine references). The host H performs initial setting common to a parenchyma top to both cards as easily guessed

from the similarity on the structure.

[0016]

Drawing 3 is a figure showing the change state at the time of initial setting in the input output section of the memory card 100 or I/O card 200 grade, and the conventional card shape input/output device.

An input output section makes a state change as follows at the time of initial setting. An input output section changes to idle state ST1, when switching on a power supply from the host H (Step S0), or when receiving a reset command from the host H (Step C0). The input output section of idle state ST1 sends out a response only to a predetermined command group including an initializing instruction, and does not send out a response to other commands.

[0017]

An input output section directs initialization to the connected function part, when receiving an initializing instruction from the host H (Step C1), and it initializes itself (Step S1).

The host H may make an input output section change from idle state ST1 to inactive state ST5 by a predetermined command here. The input output section of inactive state ST5 sends out a response to no commands from the host H.

[0018]

An input output section changes to standby state ST2 at the time of the completion of initialization. the input output section of standby state ST2 receives a card address send statement from the host H -- every (Step C2) -- a card address is updated and it replies to the host H.

Here, a card address is held at the register in an input output section, for example. Regularity \*\*\*\*\*s a card address a step every, for example, or an input output section updates it at random within the limits of predetermined.

The host H compares the replied card address with the card address already registered to other card shape input/output devices (supposing it is connected). When there is no duplication among those card addresses, the host H sets up the replied card address as a thing of the input output section, and registers it.

Initial setting to one card is completed by setting out of a card address.

[0019]

The host H chooses one data transfer object from the card shape input/output devices which finished initial setting, and publishes a card selection instruction. Here, a card selection instruction includes a registered card address as a destination address. The input output section of standby state ST2 which finished initial setting compares the destination address and own card address at the time of reception of a card selection instruction (Step C3). When both addresses are in agreement, an input output section changes to data transfer possible state ST3.

In the input output section of data transfer possible state ST3, reception of the host's



H read-out command or a write instruction (it abbreviates to a R/W command hereafter) is possible. The input output section starts data transfer among the hosts H by reception (Step C4) of a R/W command.

[0020]

Drawing 10 is a flow chart of initial setting to the conventional card shape input/output device. (a) of drawing 10 is a flow chart about the host H, and (b) is a flow chart about the input output section of a card shape input/output device.

The host H supplies a power supply to an input output section (Step S0), or publishes a reset command (Step C0), and starts initial setting.

At a power up or the time of reception of a reset command, an input output section is reset and changes to idle state ST1.

[0021]

The host H publishes an initializing instruction to an input output section, and directs initialization of the input output section and the function part connected to it (Step S1). An input output section starts initialization at the time of reception of the initializing instruction (Step C1) (Step S1). The one [ an input output section / busy flags ] between initialization processings.

The host H supervises the busy flags of an input output section by polling between the initialization processings by an input output section (Step S2). While the busy flags are one, the host H does not publish a new command.

An input output section turns off busy flags at the time of the completion of initialization (Step S3). Thereby, an input output section changes to standby state ST2.

[0022]

The input output section of standby state ST2 waits for the card address send statement or card selection instruction from the host H (step S4). Here, a card address send statement and a card selection instruction are commands common to the memory card 100 and the I/O card 200. When commands other than those commands are received, or when reception of a command goes wrong, an input output section sends out NAK to the host H (Step S5).

[0023]

To the input output section of standby state ST2, the host H publishes a card address send statement (Step S6).

When a card address send statement is received normally, an input output section updates a card address (Step S7). The updated card address is sent out to the host H as data in ACK to a card address send statement (Step S8). An input output section waits for the command from the host H after the sending out (step S4).

[0024]

The host H receives a card address as a response to a card address send statement. It is already set up to other card shape input/output devices, and the card address is

compared with the registered card address (step S9).

When there is duplication among those card addresses, the host H returns processing to Step S6, and publishes a card address send statement again. Thereby, an input output section repeats the above-mentioned step S4, and S7 and S8 in order, and replies the host H a new card address.

[0025]

The host H continues repeating and publishing a card address send statement until duplication is lost between registered card addresses to the card address and the host H who were seen out by the input output section. When duplication is lost among those card addresses, the host H sets up the card address sent out from the input output section as a thing of the card shape input/output device, and registers it (Step S10). In this way, a card address is uniquely set up to a card shape input/output device, and initial setting is completed.

The host H chooses one data transfer object from the card shape input/output devices which finished initial setting, and publishes a card selection instruction. When reception of the card selection instruction is identified by step S4, an input output section changes to data transfer possible state ST3.

[0026]

[Problem(s) to be Solved by the Invention]

The memory card 100 and the I/O card 200 are common in the terminal area of the bus 103 grade between the hosts H. Therefore, if a device single about those intersections can be shared, the function of both the memory card 100 and the I/O card 200 can be stored in one card. If the card shape input/output device (henceforth a compound I/O card) which compounded both functions such is realized, a host uses the conventional slot as it is, and can use both the functions of a memory card and an I/O card simultaneously.

[0027]

Drawing 11 is a block diagram showing an example of the internal configuration of the compound I/O card 300. This compound I/O card 300 has the memory unit 301 and the I/O unit 302. The memory unit 301 is controlled by the same command as the command over the card including the same composition as the conventional memory card 100. The I/O unit 302 is controlled by the same command as the command over the card including the same composition as the conventional I/O card 200. In drawing 11, the same numerals as the numerals shown in drawing 8 and drawing 9 are attached to those same composition.

[0028]

In the above-mentioned compound I/O card 300, the memory unit 301 and the I/O unit 302 are simply connected on parenchyma to the same command line CMD. Therefore, one command from the host H is simultaneously received by the input output sections 101 and 201 of both units on parenchyma. Each input output section

decodes the same command mutual independently.

For example, when the common command of the memory card 100 and the I/O card 200 is received normally, the two input output sections 101 and 201 reply the response according to each state.

In addition, for example, when memory card 100 device dependent command is received normally, the input output section 101 of the memory unit 301 replies ACK, and the input output section 201 of the I/O unit 302 replies NAK.

[0029]

The command / response communication between the compound I/O card 300 and the host H are performed synchronizing with the clock on the clock line CLK. Therefore, when two input output sections send out a response simultaneously to one command, those responses collide mutually on the common command line CMD, and the host H is notified of them as one response through wired OR (Wired-OR). The host H had to decode each response of the memory unit 301 and the I/O unit 302 from the one response. That is, the host H required different processing from the former to the response of the compound I/O card 300. As a result, the conventional slot could not have upward compatibility to the compound I/O card 300.

[0030]

In the above-mentioned compound I/O card 300, there were the following problems other than the competition about the response between the memory unit 301 and the I/O unit 302.

The compound I/O card 300 is connected with the host H only by the same bus 103 as the conventional memory card 100 and the I/O card 200. On the other hand, the host H performs initial setting to the conventional card shape input/output device every bus 103. Therefore, the host H tries the recognition as the same card shape input/output device of one sheet as the memory card 100 and the I/O card 200 also to the compound I/O card 300.

[0031]

When the host H performs the same initial setting as usual to the compound I/O card 300, the competition about a response arises as mentioned above between the memory unit 301 and the I/O unit 302. What is necessary is just to stop the input output section of one of one units, for example, in order to avoid the competition.

Here, the time of stopping the I/O unit 302 is assumed. The host H performs the same initial setting as usual to the memory unit 301 then. As a result, the memory unit 301 is recognized by the host H. In particular, the memory unit 301 is set up in a card address as a card shape input/output device connected to the host H by bus 103. Therefore, in order for the I/O unit 302 to identify access from the host H, recognition information, including the card address etc. which were set up to the memory unit 301, must be held to an own register.

However, the conventional card shape input/output device did not have a means for

sharing recognition information, including other card shape input/output devices, a card address, etc. Therefore, both units were not able to share recognition information between the conventional function.

[0032]

This invention is composite of two or more input/output devices which share the bus between hosts, and aims at offer of input/output device \*\* recognized by the host good as the one same device as the simple substance of each device.

[0033]

[Means for Solving the Problem]

A compound input/output device by this invention,

(A) The first input output section for relaying what belongs to the first command group among commands from a host to the first function part;

(B) second input output section [ for relaying what belongs to the second command group among commands from a host to the second function part ]; -- and

(C) Bus which connects the first input output section and second input output section to a host, respectively, and is shared by those input output sections;

It \*\*\*\*. With the compound input/output device

(D) The first input output section and second input output section are accessed by host in a common address.;

(E) The first input output section sends out or controls a response to a command according to a state of the second input output section.;

(F) The second input output section sends out or controls a response to a command according to a state of the first input output section.

[0034]

Here, a state of an input output section is distinguished by a deed or not carrying out in predetermined operation to a command with a specific input output section. Especially commands that may be received by input output section differ for every state.

An input output section replies a host ACK, when a command which can be received in the state is received normally. Predetermined processing is performed according to the command, or the contents of the command are relayed to a function part.

An input output section replies a host NAK, when reception of a command goes wrong, or when the command which cannot be received a state is received.

Thus, an input output section opts for a response according to the state to one command.

[0035]

In a compound input/output device which contains two input output sections like the above-mentioned compound input/output device, since states of each input output section generally differ, generally responses for which it opts by each input output section to one command differ.

In the above-mentioned compound input/output device, each of an input output section sends out or controls a response according to a state of an input output section of further others. It is avoided that this sends out simultaneously a response from which two input output sections differ, and those responses do not collide on a bus. In this way, the above-mentioned compound input/output device is recognized by host good as the one same input/output device as a simple substance of an input/output device containing either one of the first input output section or the second input output section.

[0036]

With the above-mentioned compound input/output device, each of the first input output section and the second input output section is (A). Command decoding section for decoding a command from a host and sending out a response to the command to a host;

(B) state notification part [ for notifying a state of a self input output section which belongs to other input output sections ]; -- and

(C) Response inhibition part for controlling a command decoding section \*\*\*\* response of a self input output section which belongs according to a state of other input output sections inputted from a state notification part of other input output sections;

It may \*\*\*\*. Thereby, two input output sections supervise a mutual state directly, and can grasp it correctly. As a result, each input output section can judge appropriately whether a self response should be replied or it should control.

[0037]

Besides the above, each of the first input output section and the second input output section,

(A) The above-mentioned command decoding section;

(B) state guess part [ for memorizing a history of a command and guessing a state of other input output sections based on the history ]; -- and

(C) Response inhibition part for controlling a response by a command decoding section of self according to a state of other input output sections guessed by state guess part;

It may \*\*\*\*. Here, generally a state of an input output section changes according to a command. When reset by powering on etc., for example, a state is usually single. Therefore, a state after reset is easily guessed from a history of a command.

Two input output sections guess a mutual state, and can grasp it correctly. As a result, each input output section can judge appropriately whether a self response should be replied or it should control.

[0038]

With the above-mentioned compound input/output device

(A) To a command belonging to the first command group, the first input output section

sends out a response and the second input output section controls a response.;

(B) To a command belonging to the second command group, the first input output section may control a response and the second input output section may send out a response. Thereby, a collision of responses is avoided and a suitable response is replied to a host to a command.

[0039]

In the above-mentioned compound input/output device, further, to a common command between the first command group and the second command group, the first input output section may send out a response and the second input output section may control a response.

Since states of two input output sections generally differ, generally each responses differ to the same command. However, in a time of two input output sections being reset simultaneously, for example, it may be in a common state simultaneously. To a common command, a response of which input output section may be then adopted.

In such a situation, the above-mentioned compound input/output device fixes to one side an input output section which answers to a common command. Thereby, a selection process of a response to a common command is omitted, and response time to a common command can be shortened.

[0040]

In the above-mentioned compound input/output device, when either of the input output sections is not active, an input output section of the other may send out a response to a command.

Here, it says that it is in a state where an input output section does not send out any responses to all command with "an input output section is not active" including NAK on parenchyma. For example, when an input output section has stopped, the input output section is not active.

When one input output section is not active, the input output section does not send out a response. However, an input output section of another side sends out a response instead. In this way, the above-mentioned compound input/output device can maintain the command / response communication between hosts good.

[0041]

A host may make an input output section connected to a function part of the other change in the above-mentioned compound input/output device to a state which is not active, when using only either of the first function part and the second function part. The host can direct to stop an electric power supply to a connected function part to the input output section then. The input output section itself may be stopped. Thereby, power consumption in a disused portion can be reduced.

[0042]

With the above-mentioned compound input/output device, each of the first input output section and the second input output section is (A). Register [ for memorizing

common recognition information including a common address ],, and (B) Register updated information part for notifying the contents of updating to other input output sections at the time of renewal of a register;

\*\*\*\*\* may be sufficient. To or everything but a register updated information part (C) Register estimating part for supervising a response of other input output sections and presuming the contents of the register in other input output sections based on the response;

\*\*\*\*\* may be sufficient.

Thereby, a host only updates a register of one of input output sections, and can update a register of an input output section of the other substantially. Two input output sections can share common recognition information without inconsistency. For example, when a host performs initial setting only to one of input output sections and sets up an address, an input output section of the other can share the same address. Therefore, an input output section of the another side can identify access from a host. In this way, the host can maintain access to each unit in a compound input/output device good.

[0043]

[Embodiment of the Invention]

It explains giving the desirable example and referring to drawings for the optimal embodiment of this invention hereafter.

[0044]

<<Example 1>>

Drawing 1 is a block diagram showing the data exchange between the hosts H about the compound I/O card 10A by Example 1 of this invention.

This compound I/O card 10A has the memory unit 1A and the I/O unit 2A, and is connected with the host H by bus 3. Here, the bus 3 contains at least one data-line DAT, clock line CLK, the power source wire VDD, ground wire VSS, and the command line CMD. Although only the compound I/O card 10A is shown by drawing 1, the other same card shape input/output devices may be simultaneously connected to the host H in the same physical-connection part as the bus 3.

Through and electric power are supplied for the power source wire VDD and ground wire VSS to the compound I/O card 10A from the host H.

[0045]

The memory unit 1A has the memory part 12. The memory part 12 controls input and output of the data to it including a flash memory inside. By the memory part 12, the memory unit 1A memorizes the data from the host H to a flash memory, or provides the data of the flash memory to the host H.

[0046]

The I/O unit 2A functions as an interface for connecting the host H to various information management systems of a function part with various insides, or the

exterior. For example, the I/O unit 2A contains the Radio Communications Department 22A and the image pick-up part 22B. The Radio Communications Department 22A connects the host H to external wireless LAN, for example, and realizes data exchange by the radio between wireless LAN and the host H. The image pick-up part 22B changes into a picture signal the optical image adopted from the outside including image sensors, such as CCD, and provides it to the host H. In addition, it is connected to an external cellular phone, for example, and the I/O unit 2A may enable access to the portable telephone network by the host H. It is connected to an external digital camera, for example,

The image data may be provided to the host H.

[0047]

The memory unit 1A and the I/O unit 2A contain the input output sections 11A and 21A of the same composition, respectively. Each input output section is connected to common data-line DAT, the common clock line CLK, and the common command line CMD, and exchanges data among the hosts H through them.

The data exchange is performed by synchronous communications. That is, it synchronizes with the clock transmitted by the host H through the clock line CLK, and data is transmitted and received. Data is then transmitted parallel through a serial or all the data-line DAT through either of data-line DAT.

[0048]

Data communications are further controlled by the command / response method which let the command line CMD pass. Here, a command and a response are exchanged synchronizing with the above-mentioned clock.

The read-out command for the memory units 1A or the write instruction (it abbreviates to a R/W command hereafter) is the same as the thing for the conventional memory cards. On the other hand, the R/W command for the I/O units 2A is the same as the thing for the conventional I/O cards.

[0049]

Each input output section 11A and 21A of the memory unit 1A and the I/O unit 2A shares data-line DAT, the clock line CLK, and the command line CMD. The data and the command which were sent out from the host H reach simultaneously on parenchyma to both input output sections then.

On the other hand, when each input output section returns a response simultaneously to the common command from the host H, those responses pass along the common command line CMD. Thereby, both responses are transmitted to through and the host H in wired OR. In the compound I/O card 10A by Example 1, when the responses of each input output section differ, one side of a response is controlled by the following composition. As a result, the collision of a response is avoided and a suitable response is sent out to the host H.

[0050]



The input output section 11A of the memory unit 1A contains the command decoding section 13, the register 14, the state notification part 15A, the response inhibition part 16A, and the register updated information part 17A. Similarly, the input output section 21A of the I/O unit 2A contains the command decoding section 23, the register 24, the state notification part 25A, the response inhibition part 26A, and the register updated information part 27A. About each composition, both input output sections are common.

Hereafter, the details of composition are explained about the input output section 11A of the memory unit 1A. Those explanation is the same also about the input output section 21A of the I/O unit 2A.

[0051]

The command decoding section 13 receives and decodes a command from the host H through the command line CMD. It opts for a response according to the contents of the command and state of the input output section 11A which were decoded.

The command decoding section 13 opts for the response to a command as follows, for example.

Some commands from the host H are common in the thing and both the units the thing of \*\*, and for the memory unit 1A I/O units 2A. The command decoding section 13 judges first whether the received command is for which units.

When it cannot be identified whether the command is which object for units, the command decoding section 13 determines NAK as a response.

When the command is an object for the I/O units 2A, the command decoding section 13 is not concerned with the existence of a receiving error, but determines NAK as a response.

[0052]

When the command is an object for the memory units 1A, the command decoding section 13 judges further whether the command is what may be received in the state of the input output section 11A in the time of the reception.

When the command is what cannot be received in the state of the input output section 11A in the time of the reception, the command decoding section 13 is not concerned with the existence of a receiving error, but determines NAK as a response.

When the command may be received and the command is received [ and ] normally, the command decoding section 13 determines ACK as a response. Predetermined processing is performed according to the command, or the contents of the command are relayed to the memory part 12.

When the command may be received and the command is not received [ and ] normally, the command decoding section 13 determines NAK as a response.

[0053]

Generally the register 14 includes two or more memory areas. Each memory area holds predetermined data and is accessed only by a specific command.

The register 14 holds for example, a card address. Here, a card address is included in the R/W command to a card shape input/output device from the host H. At the time of reception of a R/W command, the input output section 11A compares the destination address with the card address held with the register 14, and judges whether the R/W command is addressing to itself.

In the compound I/O card 10A, when setting out of a card address is performed between either of the memory unit 1A and the I/O unit 2A, and the host H, the card address of the other is similarly updated like the after-mentioned. Thereby, both units hold a common card address.

[0054]

Generally the state of the input output section 11A changes according to a command. The state notification part 15A detects the change state in the input output section 11A based on the command decoded by the command decoding section 13, and notifies it to the input output section 21A of the I/O unit 2A.

[0055]

The response inhibition part 16A supervises the command received by the command decoding section 13. The contents of the command, the state of the input output section 11A of the memory unit 1A, And based on the state where it was notified from the state notification part 25A of the input output section 21A of the I/O unit 2A, the right or wrong of sending out of the response by the command decoding section 13 are judged (the judgment is hereafter called response sending-out judgment). As a result, when judging that the response of the I/O unit 2A should send out to the host H, the response of the command decoding section 13 is controlled.

The response for which the command decoding section 13 opted is replied to the host H through the command line CMD, only when not receiving control by the response inhibition part 16A.

[0056]

The register updated information part 17A supervises the register 14 in the self input output section 11A which belongs. When the contents are updated with either of the registers 14, the register updated information part 17A notifies the contents of updating to the register 24 of the input output section 21A of the I/O unit 2A. This holds contents with each common register 14 and 24 by the input output section 11A of the memory unit 1A, and the input output section 21A of the I/O unit 2A.

[0057]

Drawing 2 is a flow chart of the response sending-out judgment by the response inhibition part 16A.

The command decoding section 13 receives and decodes the one command C.

Based on the decoded result of the command C by the command decoding section 13, the response inhibition part 16A identifies whether the command C is for which input output sections (Step D1).

When the command C is [ self / which belongs ] for the memory units 1A, the response inhibition part 16A accepts sending out of the response by the command decoding section 13 (Step R1).

[0058]

Judgment of the response inhibition part 16A branches to Step D2 at when [ whether it is a thing of the input output section which can creep, and when / when the command C is for the I/O units 2A, and / it cannot identify ]. In Step D2, the response inhibition part 16A judges whether a response can be sent out to whether the input output section 21A of the I/O unit 2A is active, and the command C based on the state where it was notified from the state notification part 25A of the I/O unit 2A.

The input output section 21A of the I/O unit 2A accepts sending out of the response according [ the response inhibition part 16A ] to the command decoding section 13, when not active (Step R1). Conversely, when active, the response inhibition part 16A controls the response of the command decoding section 13 (Step R2).

[0059]

When the command C is a common command of both units, the response inhibition part 16A checks the state of the input output section 21A of the I/O unit 2A based on the notice from the state notification part 25A (Step D3). Thereby, the state of the input output section of both units is compared, and it is judged whether priority is given to the response of which input output section.

as a result, priority should be given to the response of the input output section 11A of the memory unit 1A -- when judging, sending out of the response by the command decoding section 13 is accepted (Step R1). on the contrary, priority should be given to the response of the input output section 21A of the I/O unit 2A -- when judging, the response by the command decoding section 13 is controlled (Step R2).

[0060]

When the state of the input output section of both units is substantially equivalent and may send out the response of which input output section to a common command, the response inhibition part 16A checks the existence of the right of priority about sending out of a response to a common command further (Step D4).

Here, the input output section with the right of priority means the input output section set up beforehand send out a response preferentially to a common command. A right of priority is set up only to one input output section of two units, for example at the time of manufacture of the compound I/O card 10A.

When the input output section 11A of the memory unit 1A has the above-mentioned right of priority, the response inhibition part 16A accepts sending out of the response by the command decoding section 13 (Step R1). Conversely, when it does not have a right of priority, the response by the command decoding section 13 is controlled (Step R2).

[0061]

The input output section 11A of the memory unit 1A and the input output section 21A of the I/O unit 2A share the physical terminal area between the hosts H, especially the bus 3 (refer to drawing 1). Therefore, the host H accesses the compound I/O card 10A as the one same card shape input/output device as usual. Thereby, the host's H command is not sent out individually to each unit in the compound I/O card 10A, but is simultaneously received by the input output section of both units. As a result, generally the competition about sending out of a response arises between the input output sections of both units. In the compound I/O card 10A, as follows, both input output sections notify a state mutually, and arbitrate about sending out of a response according to each state. Thereby, the above-mentioned competition is canceled and one suitable response is sent out to the host H. So, the host H can recognize the compound I/O card 10A good like the conventional card shape input/output device, and can maintain access to each unit good.

[0062]

Hereafter, initial setting to each unit in the compound I/O card 10A by the host H is mentioned as an example, and the mediation operation about sending out of a response according to the state of the notified input output section is explained concretely.

Drawing 3 is a figure showing the change state at the time of each initial setting of the input output section 11A of the memory unit 1A, and the input output section 21A of the I/O unit 2A about the compound I/O card 10A. The input output section 11A of the memory unit 1A and the input output section 21A of the I/O unit 2A are common in the input output section of the conventional card shape input/output device about a change state, respectively at the time of initial setting.

[0063]

An input output section changes to idle state ST1, when switching on a power supply from the host H (Step S0), or when receiving a reset command from the host H (Step C0). The input output section of idle state ST1 sends out a response only to a predetermined command group including an initializing instruction, and does not send out a response to other commands.

[0064]

An input output section directs initialization to the connected function part, when receiving an initializing instruction from the host H (Step C1), and it initializes itself (Step S1).

The host H may make an input output section change from idle state ST1 to inactive state ST5 by a predetermined command here. The input output section of inactive state ST5 sends out a response to no commands from the host H.

[0065]

An input output section changes to standby state ST2 at the time of the completion of initialization. the input output section of standby state ST2 receives a card address

send statement from the host H -- every (Step C2) -- a card address is updated and it replies to the host H.

Here, regularity \*\*\*\*\*s a card address a step every, for example, and an input output section updates it, or updates it at random within the limits of predetermined.

When there is no duplication in them about the replied card address as compared with a registered thing, the host H sets up the card address as a thing of the input output section, and registers it.

Initial setting to one card is completed by setting out of a card address.

[0066]

The host H chooses one data transfer object from the card shape input/output devices which finished initial setting, and publishes a card selection instruction. Here, a card selection instruction includes a registered card address as a destination address. The input output section of standby state ST2 which finished initial setting compares the destination address and own card address at the time of reception of a card selection instruction (Step C3). When both addresses are in agreement, an input output section changes to data transfer possible state ST3.

In the input output section of data transfer possible state ST3, reception of the R/W command from the host H is possible. The input output section starts data transfer among the hosts H by reception (Step C4) of a R/W command.

[0067]

Drawing 4 and drawing 5 are the flow charts of initial setting of the compound I/O card 10A. (a) of each figure is a flow chart about the host H, and (b) is a flow chart about each with the two input output sections 11A and 21A in the compound I/O card 10A.

[0068]

Drawing 4 is a flow chart from an initial-setting start to the completion of initialization with the memory unit 1A and the I/O unit 2A.

As shown in (a) of drawing 4, the host H supplies a power supply to the compound I/O card 10A (Step S0), or publishes a reset command (Step C0A or C0B), and starts initial setting.

Here, powering on by the host H may depend what is depended on the power on reset of the host H itself on live-wire insertion of the compound I/O card 10A to the host's H slot.

[0069]

Both two input output sections 11A and 21A in a power up and the compound I/O card 10A are reset.

On the other hand, since reset commands differ with a memory card and an I/O card, Only the memory unit 1A is reset in the time of issue of the reset command for memory cards (Step C0A), and only the I/O unit 2A is reset in the time of issue of the reset command for I/O cards (Step C0B). The host H publishes only the reset

command corresponding to a target unit, when resetting only either of the memory unit 1A and the I/O unit 2A. The unit which does not receive a reset command maintains the original state then.

[0070]

In reset by powering on, the (step) S0 2A, for example, an I/O unit, is reset first. On the other hand, in reset by a reset command, the host H publishes first the reset command for the I/O units 2A, for example (Step C0A). That is, unless the host H skips reset of the I/O unit 2A, in initial setting, the I/O unit 2A is reset previously.

By reset, the input output section 21A of the I/O unit 2A changes to idle state ST1, as shown in (b) of drawing 4.

[0071]

The host H publishes an initializing instruction to the I/O unit 2A, and directs the initialization (Step S1A). The input output section 21A of the I/O unit 2A starts initialization at the time of reception of the initializing instruction (Step C1) (Step S1). The initialization includes initialization of the Radio Communications Department 22A in the I/O unit 2A, the image pick-up part 22B, other function parts, and the external information management system connected to the I/O unit 2A. The one [ the input output section 21A / the busy flags in the register 24 ] between initialization processings further. Busy flags are defined as 1 predetermined bit data for example, in the register 24.

[0072]

Here, the host H may not publish an initializing instruction to the I/O unit 2A, but may skip initialization of the I/O unit 2A. The input output section 21A of the I/O unit 2A is then maintained with idle state ST1. It is notified to the input output section 11A of the memory unit 1A that the input output section 21A is maintained by the internal state notification part 25A idle state ST1 (step S4). The input output section 21A of idle state ST1 does not send out a response to other commands to reception (Step C1) of an initializing instruction.

[0073]

The host H may make idle state ST1 of the input output section 21A of the I/O unit 2A change to inactive state ST5 further. It is then notified that the input output section 21A is inactive state ST5 to the input output section 11A of the memory unit 1A (Step S5). The input output section 21A of inactive state ST5 does not send out any response.

[0074]

The input output section 21A of the I/O unit 2A may stop the electric power supply to function parts, such as the Radio Communications Department 22A and the image pick-up part 22B, when it is idle state ST1 or inactive state ST5. When the host H does not use the function part connected to the inside of the I/O unit 2A, or it by that cause, the power consumption in the time of those standby can be reduced.

[0075]

The host H supervises the busy flags of the I/O unit 2A by polling between the initialization processings in the I/O unit 2A (Step S2A). While the busy flags are one, the host H does not publish a new command.

The input output section 21A of the I/O unit 2A turns off busy flags at the time of the completion of initialization (Step S3). Thereby, the input output section 21A changes to standby state ST2. The input output section 21A notifies the change state to the input output section 11A of the memory unit 1A by the state notification part 25A then (Step S11).

[0076]

In powering on (Step S0), the memory unit 1A is reset continuously. On the other hand, in reset by a reset command, when the host H publishes the reset command for the memory units 1A (Step C0B), the memory unit 1A is reset.

Henceforth, unless the host H skips issue (Step S1B) of the initializing instruction to the memory unit 1A, initialization of the memory unit 1A is performed like initialization of the above-mentioned I/O unit 2A.

Here, the state of the input output section 11A of the memory unit 1A which changed through reset or initialization is notified to the input output section 21A of the I/O unit 2A by the internal state notification part 15A. In this way, the input output section of each unit grasps a mutual state.

[0077]

The host H supervises the busy flags of the memory unit 1A by polling between the initialization processings in the memory unit 1A (step S2B). When the busy flags are turned off, the host H starts the setting processing of a card address. When reset or initialization of the memory unit 1A is skipped and the busy flags of the I/O unit 2A are turned off, the host H starts the setting processing of a card address.

[0078]

Drawing 5 is a flow chart from setting out of a card address to the end of initial setting. The input output section of standby state ST2 waits for the card address send statement or card selection instruction from the host H (step S4). Here, a card address send statement and a card selection instruction are commands common to the memory unit 1A and the I/O unit 2A.

[0079]

To the input output section of standby state ST2, the host H publishes a card address send statement (Step S6). The card address send statement is simultaneously received by both the input output section 11A of the memory unit 1A, and the input output section 21A of the I/O unit 2A on parenchyma. If each of each input output section is active then, competition will arise about sending out of a response.

[0080]

The compound I/O card 10A cancels the above-mentioned competition as follows.

In the input output section 11A of the memory unit 1A or the input output section 21A of the I/O unit 2A in standby state ST2. Each response inhibition part 16A or 26A makes a response sending-out judgment according to the flow chart of drawing 2 at the time of reception of a different command also from a card address send statement and a card selection instruction (Step S12). One suitable response is chosen by that cause, and it replies to the host H. On the other hand, the input output section in standby state ST2 waits for the command from the host H again (step S4).

It is also the same as when a command is not discriminable.

[0081]

When the input output section in standby state ST2 receives a card address send statement, the response inhibition part makes a response sending-out judgment according to the flow chart of drawing 2 (Step S13).

When accepting sending out of a response (Step R1), an input output section updates first the card address held at the register (Step S7).

The renewal of the card address is notified to the input output section of another side by the register updated information part in the input output section (Step S14). Thereby, both input output sections hold a common card address.

An input output section sends out the updated card address to the host H as a response to a card address send statement further (Step S8). An input output section waits for the command from the host H after the sending out (step S4).

[0082]

The host H receives a card address from the compound I/O card 10A as a response of a card address send statement. Then, it is already set up to other card shape input/output devices, and the card address is compared with the registered card address (step S9). When there is duplication among those card addresses, the host H returns processing to Step S6, and publishes a card address send statement again. Thereby, each input output section in the compound I/O card 10A repeats the above-mentioned step S4, S12, S13, S7, S14, and S8, and replies the host H a new card address.

[0083]

The host H repeats the loop of Step S6 and S9 until duplication is lost between registered card addresses to the card address sent out by the compound I/O card 10A, and the host H. When duplication is lost among those card addresses, the host H sets up the card address sent out from the compound I/O card 10A as a thing of the compound I/O card 10A, and registers it (Step S10). In this way, the card address of the compound I/O card 10A is set up uniquely, and initial setting is completed.

[0084]

The host H publishes a card selection instruction to the compound I/O card 10A, when choosing the compound I/O card 10A which finished initial setting as a data transfer object. Here, the card selection instruction includes the card address of the



compound I/O card 10A as a destination address. What finishes initial setting among the two input output sections 11A and 21A of the compound I/O card 10A, and is in standby state ST2 compares the destination address and own card address at the time of reception of a card selection instruction. When both addresses are in agreement, the input output section changes to data transfer possible state ST3.

[0085]

The host H publishes a R/W command to the compound I/O card 10A further. Here, a R/W command has command ID which is different by the object for memory cards, and the object for I/O cards. Therefore, each command decoding section can identify whether the R/W command is an object for the units of affiliation.

[0086]

The host H publishes the R/W command for memory cards to the compound I/O card 10A, when performing data transfer, for example between the memory units 1A. The command decoding section 13 of the memory unit 1A sends out ACK at the time of the normal reception of the R/W command. On the other hand, the command decoding section 23 of the I/O unit 2A sets up NAK at the time of reception of the R/W command. The response inhibition part 26A of the I/O unit 2A checks the state of the input output section 11A of the memory unit 1A then. Thereby, the memory unit 1A controls the response of the command decoding section 23, when active. That the memory unit 1A is not active etc. accepts sending out of the response by the command decoding section 23, when it is in the state where a response cannot be sent out to a R/W command. In this way, only the response which corresponded to the R/W command appropriately is replied to the host H.

[0087]

With the compound I/O card 10A by Example 1, the input output section 11A of the memory unit 1A and the input output section 21A of the I/O unit 2A supervise a mutual state as above. When competition arises among both input output sections about sending out of a response, according to the state of each input output section, one response is controlled and only a suitable response is sent out. In this way, since the collision of responses is avoided, the host H can recognize the compound I/O card 10A good as a card shape input/output device of one sheet by the same command / response communication as usual.

[0088]

<<Example 2>>

Drawing 6 is a block diagram showing the data exchange between the hosts H about the compound I/O card 10B by Example 2 of this invention.

This compound I/O card 10B has the memory unit 1B and I/O unit 2B like the compound I/O card 10A by Example 1. However, compared with what is depended on Example 1, each input output sections 11B and 21B differ by the memory unit 1B and I/O unit 2B. In drawing 6, the same numerals as drawing 1 are attached to the same

composition as the compound I/O card 10A by Example 1. Explanation of those same composition uses the thing in Example 1.

[0089]

The input output section 11B of the memory unit 1B contains the command decoding section 13, the register 14, the state guess part 15B, the response inhibition part 16B, and the register estimating part 17B. Similarly, the input output section 21B of I/O unit 2B contains the command decoding section 23, the register 24, the state guess part 25B, the response inhibition part 26B, and the register estimating part 27B. About each composition, both input output sections are common. Hereafter, the details of composition are explained about the input output section 11B of the memory unit 1B.

[0090]

The state guess part 15B memorizes the history of the command received by the command decoding section 13. Since a command is notified to both the memory unit 1B and I/O unit 2B, the history is common to both units. Therefore, based on the history, the state guess part 15B guesses the state of the input output section 21B of I/O unit 2B.

[0091]

The response inhibition part 16B judges the responding operation of I/O unit 2B to the host's H command based on the state where it was guessed by the state guess part 15B. When judging that the response of I/O unit 2B should send out to the host H, the response of the command decoding section 13 in the memory unit 1B is controlled. In this way, the competition about sending out of a response is canceled between the input output section 11B of the memory unit 1B, and the input output section 21B of I/O unit 2B, and the collision on the command line CMD of responses is avoided.

[0092]

The response inhibition part 16B makes a response sending-out judgment like the response inhibition part 16A of Example 1 (refer to drawing 2). Explanation in Example 1 is used about the same portion as the response sending-out judgment by Example 1. However, Step D2 and Step D3 differ from the response sending-out judgment by Example 1 at the following point.

In Step D2, the response inhibition part 16B judges whether the input output section 21A of the I/O unit 2A is active based on the state where it was guessed by the state guess part 15B.

In Step D3, the response inhibition part 16A checks the state of the input output section 21A of the I/O unit 2A based on the guess by the state guess part 15B.

[0093]

The response sent out by the command decoding section 23 of I/O unit 2B reaches a node (for example, wired OR) with the command line CMD also to through and the command decoding section 13 of the memory unit 1B. The register estimating part 17B supervises the response of I/O unit 2B received by the command decoding

section 13. This detects renewal of the register 24 in the input output section 21B of I/O unit 2B. The contents of updating of the register 24 are presumed from the response, and the register 14 of the memory unit 1B is updated similarly. In this way, contents with each common register 14 and 24 are held by the input output section 11B of the memory unit 1B, and the input output section 21B of I/O unit 2B.

[0094]

When the input output section 21B of I/O unit 2B is in standby state ST2 especially, the register estimating part 17B supervises the response of the input output section 21B, and renewal of the card address in the input output section 21B is detected. The updated card address is presumed and the card address held at the register 14 is rewritten. In this way, whenever a card address is updated with the register 24 of I/O unit 2B and it is sent out to the host H, a card address is updated similarly the register 14 of the memory unit 1B. As a result, the card address where both units are common is held.

[0095]

Hereafter, initial setting to each unit in the compound I/O card 10B by the host H is mentioned as an example, and the mediation operation about sending out of a response according to the state of the guessed input output section is explained concretely.

Here, the change state at the time of each initial setting of the input output section 11B of the memory unit 1B and the input output section 21B of I/O unit 2B is as common as the input output section 11A of the memory unit 1A and the input output section 21A of the I/O unit 2A by Example 1. That is, about the change state, it is common in the input output section of the conventional card shape input/output device. So, the explanation uses what is depended on Example 1 (refer to drawing 3).

[0096]

Drawing 7 is a flow chart of the initial setting about the input output section of each unit in the compound I/O card 10B by Example 2. Here, to the same step as the flow chart by Example 1, drawing 3 – the same numerals as four are attached. Those explanation uses the thing in Example 1.

On the other hand, the flow chart of initial setting about the host H is as common as what is depended on Example 1. That is, the host H performs initial setting to the compound I/O card 10B by Example 2 completely like the thing to the compound I/O card 10A by Example 1.

[0097]

A portion which is different from what is depended on Example 1 about initial setting to the compound I/O card 10B by Example 2 is explained below.

When either the memory unit 1B or I/O unit 2B and its both are reset, the history of a command is cleared in the reset input output section. Therefore, in the input output section, a state guess part does not guess the state of other input output sections.

Since especially each power ups (Step S0) and two input output sections are reset, neither of those state guess parts guesses the state of other input output sections. Here, since the reset input output section does not have a state notification part like Example 1, it can notify the state to other input output sections by neither idle state ST1 nor inactive state ST5.

[0098]

When only one of units is reset by the reset command (Step C0), the history of a command is held by the state guess part in the input output section of the unit of the other. the state guess part refers to the history of a command at the time of the reception of a reset command to other units -- " -- others -- an input output section is reset and it is in idle state ST1 -- " -- it guesses.

the time of reception of the command for making the input output section of idle state ST1 shift to inactive state ST5 -- the state guess part of other input output sections -- " -- others -- the input output section changed from idle state ST1 to inactive state ST5 -- " -- it guesses.

[0099]

The input output section of idle state ST1 starts initialization by reception (Step C1) of an initializing instruction (Step S1). the time of reception of the initializing instruction -- the state guess part of other input output sections -- " -- others -- the input output section changed from idle state ST1 to standby state ST2 -- " -- it guesses.

[0100]

Even if the input output section in standby state ST2 updates a card address according to a card address send statement (Step S7), it does not notify the updated card address to other input output sections. However, in other input output sections, a register estimating part presumes the updated card address as mentioned above based on the response of the input output section in standby state ST2, and updates a card address similarly.

When especially both the input output sections of both units are in standby state ST2, based on the response sending-out judgment (refer to drawing 2) by a response inhibition part, the input output section without a right of priority, Sending out of the response to a card address send statement, i.e., a card address, is controlled (Step S15). The response sent out by step S4 from the input output section which has a right of priority with the command from the host H is supervised. When renewal of the card address in an input output section with a right of priority is detected from the response, a register estimating part updates a card address in a similar manner as mentioned above (Step S17).

[0101]

The input output section in standby state ST2 changes to data transfer possible state ST3, when receiving a card selection instruction by step S4. Therefore, any input

output section is conjectured "Other input output sections in standby state ST2 changed to data transfer possible state ST3" at the time of reception of a card selection instruction.

[0102]

As for the renewal of the register through the guess of the state of other input output sections based on the history of a command, and the surveillance of the response of other input output sections, the input output section after a data transfer possible state as well as the thing in the above-mentioned initial setting is performed.

[0103]

As above, with the compound I/O card 10B by Example 2, the input output section 11B of the memory unit 1B and the input output section 21B of I/O unit 2B memorize the history of a command, and guess a mutual state based on it. When the response to the host's H command competes, according to the state of each input output section, one response is controlled and only a suitable response is sent out. Thereby, the host H can recognize the compound I/O card 10B good as a card shape input/output device of one sheet.

[0104]

Unlike the compound I/O card 10A according to Example 1 with the compound I/O card 10B by Example 2, there is little wiring between the memory unit 1B and I/O unit 2B. Therefore, since hardware is comparatively easy composition, circuit structure can be reduced.

On the other hand, about grasp of the state of other input output sections by each input output section, direct surveillance like Example 1 is trustworthy.

[0105]

The compound I/O card by this invention may have the following composition other than the composition by the above-mentioned example.

For example, a register updated information part may be replaced by the same register estimating part as Example 2 with the composition by Example 1. On the contrary, a register estimating part may be replaced by the same register updated information part as Example 1 with the composition by Example 2. When the response to a host's command competes, according to the state of each input output section, those composition also controls one response and can send out only a suitable response. Thereby, the host can recognize the compound I/O card good as a card shape input/output device of one sheet.

If it is a person skilled in the art, based on explanation of the above-mentioned example, he will be able to understand the above thing easily.

[0106]

[Effect of the Invention]

The compound input/output device by this invention has two input output sections, for example. It is connected to a host by common bus, and those input output sections

are accessed in a common address. A host's command in particular is not concerned with whether it is which addressing to an input output section, but reaches to both input output sections. Each input output section sends out or controls the response to a command according to a mutual state. Thereby, only while it is [ either ] suitable among the responses of each input output section, it replies to a host and those responses do not collide on a bus. In this way, this compound input/output device is recognized by the host good as the conventional input/output device containing only either of two input output sections, and one same input/output device.

[0107]

In the above-mentioned compound input/output device, two input output sections may supervise a mutual state directly. In addition, each input output section may hold the history of a command, and may guess a mutual state based on it. The above-mentioned surveillance and guessed either can grasp correctly the contents of the response mutual in each input output section. As a result, it can be judged appropriately whether each input output section should reply which response.

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the data exchange between the hosts H about the compound I/O card 10A by Example 1 of this invention.

[Drawing 2] It is a flow chart of the response sending-out judgment by the response inhibition part 16A in the compound I/O card 10A by Example 1 of this invention.

[Drawing 3] It is a figure showing the change state common also about which input output section of the compound I/O card 10A by Example 1 of this invention, the compound I/O card 10B by Example 2 of this invention, and the conventional card shape input/output device at the time of initial setting.

[Drawing 4] It is a flow chart from an initial-setting start to the completion of initialization with the memory unit 1A and the I/O unit 2A among initial setting of the compound I/O card 10A by Example 1 of this invention. (a) is a flow chart about the host H, and (b) is a flow chart about each with the two input output sections 11A and 21A in the compound I/O card 10A.

[Drawing 5] It is a flow chart from setting out of the card address following the portion shown in drawing 4 among initial setting of the compound I/O card 10A by Example 1 of this invention to the end of initial setting. (a) is a flow chart about the host H, and (b) is a flow chart about each with the two input output sections 11A and 21A in the compound I/O card 10A.

[Drawing 6] It is a block diagram showing the data exchange between the hosts H about the compound I/O card 10B by Example 2 of this invention.

[Drawing 7] About the input output section of each unit in the compound I/O card 10B by Example 2 of this invention, it is a flow chart of the initial setting.

[Drawing 8] It is a block diagram showing the conventional memory card 100 and the data exchange between the hosts H.

[Drawing 9] It is a block diagram showing the data exchange between the conventional I/O card 200 and the host H.

[Drawing 10] It is a flow chart of initial setting to the conventional card shape input/output device. (a) is a flow chart about the host H, and (b) is a flow chart about the input output section of a card shape input/output device.

[Drawing 11] It is a block diagram showing an example of the internal configuration of the compound I/O card 300.

[Description of Notations]

10A Compound I/O card

1A Memory unit

11A The input output section of the memory unit 1A

2A I/O unit

21A The input output section of the I/O unit 2A

3 Bus

DAT Data line

CLK Clock line

VDD Power source wire

VSS Ground wire

CMD Command line

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-38643

(P2004-38643A)

(43) 公開日 平成16年2月5日(2004. 2. 5)

(51) Int. Cl. <sup>7</sup>

G06F 13/14

G06F 13/12

G06K 19/07

F 1

G06F 13/14 330C

G06F 13/12 310E

G06K 19/00 N

テーマコード (参考)

5B014

5B035

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号 特願2002-195853 (P2002-195853)  
(22) 出願日 平成14年7月4日 (2002. 7. 4)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100062926  
弁理士 東島 隆治  
(72) 発明者 岩田 和也  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内  
(72) 発明者 加藤 勇雄  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内  
(72) 発明者 中村 清治  
大阪府門真市大字門真1006番地 松下  
電器産業株式会社内

最終頁に続く

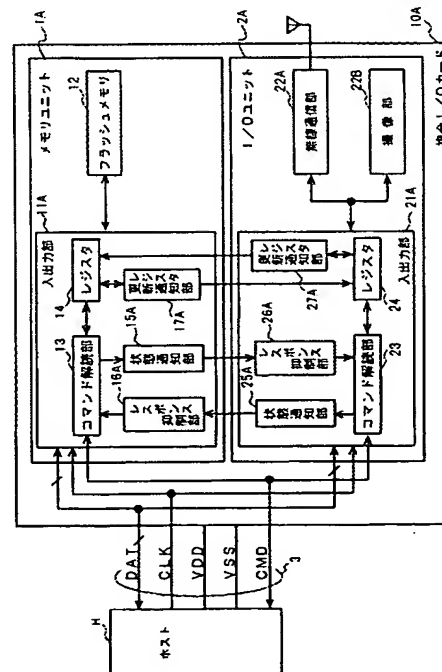
(54) 【発明の名称】 複合入出力装置

(57) 【要約】

【課題】 ホストとの間のバスを共用する二以上の入出力装置の複合であり、それぞれの装置の単体と同様な一つの装置としてホストにより良好に認識される入出力装置を提供する。

【解決手段】 複合I/Oカード10はメモリユニット1AとI/Oユニット2Aを含む。それぞれのユニットの入出力部11Aと21Aとは共通のバス3でホストHへ接続される。ホストHはコマンド線CMDを通し、両方の入出力部のコマンド読解部13と23とへコマンドを送出する。それぞれのコマンド読解部はそのコマンドに対しレスポンスを設定する。状態通知部15Aと25Aとは自己の属する入出力部の状態を他の入出力部へ通知する。通知された状態に基づき、レスポンス抑制部16Aと26Aとは自己の属する入出力部のコマンド読解部13と23とによるレスポンスを抑制し、それらのレスポンスの適切な一方だけをホストHへ送出する。

【選択図】 図1





**【特許請求の範囲】****【請求項 1】**

(A) ホストからのコマンドの内、第一のコマンド群に属するものを、第一の機能部へ中継するための第一の入出力部；

(B) 前記ホストからのコマンドの内、第二のコマンド群に属するものを、第二の機能部へ中継するための第二の入出力部；及び、

(C) 前記第一の入出力部と前記第二の入出力部とをそれぞれ前記ホストへ接続し、それらの入出力部により共用されるバス；

を有する複合入出力装置であり、

(D) 前記第一の入出力部と前記第二の入出力部とが前記ホストにより共通のアドレスでアクセスされ；

(E) 前記第一の入出力部が、前記第二の入出力部の状態に応じ、前記コマンドに対するレスポンスを送出し、又は抑制し；

(F) 前記第二の入出力部が、前記第一の入出力部の状態に応じ、前記コマンドに対するレスポンスを送出し、又は抑制する；

複合入出力装置。

**【請求項 2】**

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記ホストからのコマンドを解釈し、そのコマンドに対するレスポンスを前記ホストへ送出するためのコマンド解釈部；

(B) 自己の属する前記入出力部の状態を他の前記入出力部へ通知するための状態通知部；及び、

(C) 前記他の入出力部の前記状態通知部から入力された前記他の入出力部の状態に応じ、前記自己の属する入出力部の前記コマンド解釈部による前記レスポンスを抑制するためのレスポンス抑制部；

を有する、請求項 1 記載の複合入出力装置。

**【請求項 3】**

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記ホストからのコマンドを解釈し、そのコマンドに対するレスポンスを前記ホストへ送出するためのコマンド解釈部；

(B) 前記コマンドの履歴を記憶し、その履歴に基づき他の前記入出力部の状態を推測するための状態推測部；及び、

(C) 前記状態推測部により推測された前記他の入出力部の状態に応じ、自己の前記コマンド解釈部による前記レスポンスを抑制するためのレスポンス抑制部；

を有する、請求項 1 記載の複合入出力装置。

**【請求項 4】**

(A) 前記第一のコマンド群に属するコマンドに対し、前記第一の入出力部がレスポンスを送出し、前記第二の入出力部がレスポンスを抑制し；

(B) 前記第二のコマンド群に属するコマンドに対し、前記第一の入出力部がレスポンスを抑制し、前記第二の入出力部がレスポンスを送出する；

請求項 1 記載の複合入出力装置。

**【請求項 5】**

前記第一のコマンド群と前記第二のコマンド群との間の共通コマンドに対し、前記第一の入出力部がレスポンスを送出し、前記第二の入出力部がレスポンスを抑制する、請求項 1 記載の複合入出力装置。

**【請求項 6】**

前記入出力部のいずれか一方がアクティブでないとき、他方の前記入出力部が前記コマンドに対しレスポンスを送出する、請求項 1 記載の複合入出力装置。

**【請求項 7】**

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記共通のアドレス

を含む共通の認識情報を記憶するためのレジスタ；及び、

(B) 前記レジスタの更新時、その更新内容を他の前記入出力部へ通知するためのレジスタ更新通知部；

を含む、請求項 1 記載の複合入出力装置。

【請求項 8】

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記共通のアドレスを含む共通の認識情報を記憶するためのレジスタ；及び、

(B) 他の前記入出力部の前記レスポンスを監視し、そのレスポンスに基づき、前記他の入出力部での前記レジスタの内容を推定するためのレジスタ推定部；

を含む、請求項 1 記載の複合入出力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部の情報処理機器との間でデータ通信を行うための入出力装置に関し、特に、その情報処理機器との間のバスを共用する二以上の入出力装置の複合に関する。

【0002】

【従来の技術】

情報技術の飛躍的進歩及び爆発的普及により、多種多様な情報処理機器が相互に接続され、様々なデータを交換できる。それらのデータ通信を担う入出力装置（インタフェース）には、下位互換性を含め、多種多様な情報処理機器についての汎用性が要求される。その上、情報処理機器全体に対する小型軽量化の要請に伴い、入出力装置自体に対しても小型軽量化が求められる。

【0003】

従来の入出力装置の中では特に、カード型のものが近年多用される。このカード型入出力装置は、特定のインタフェース内蔵の数 cm 角の小カードである。カード型入出力装置は情報処理機器（ホスト）に設けられた専用スロットに差し込まれ、ホストとデータを交換する。そのスロットを様々な情報処理機器へ組み込むことで、上記のカード型入出力装置は多種多様な情報処理機器に対する汎用性を獲得する。

【0004】

上記のカード型入出力装置の種類にはメモ리카ードと I/O カードとがある。メモ리카ードは、例えばフラッシュメモリ等の半導体メモリを内部に含むカード型記録媒体である。複数のホストが同じメモ리카ードを共用し、相互のデータ交換を実現する。

図 8 は、従来のメモ리카ード 100 とホスト H との間でのデータ交換を示すブロック図である。

このメモ리카ード 100 は、少なくとも一本のデータ線 DAT、クロック線 CLK、電源線 VDD、グラウンド線 VSS、及びコマンド線 CMD を含むバス 103 で、ホスト H と接続される。

メモ리카ード 100 はホスト H から、電源線 VDD とグラウンド線 VSS とを通し、電力を供給される。

【0005】

入出力部（ホストインタフェースともいう）101 は、コマンド線 CMD を通しホスト H からコマンドを受信し解読する。その解読されたコマンドの内容に応じ、レスポンスをホスト H へ、コマンド線 CMD を通し返信する。

コマンドがフラッシュメモリに対する読み出し命令であるとき、入出力部 101 はメモリ部 102 に対し、その内部のフラッシュメモリからデータを読み出すように指示する。読み出されたデータはデータ線 DAT を通し、ホスト H へ転送される。そのとき、入出力部 101 はデータ転送を同期通信で行う。すなわち、クロック線 CLK を通しホスト H から転送されたクロックと同期し、データを転送する。そのとき、データは、データ線 DAT のいずれかを通しシリアルに、又は全データ線 DAT を通しパラレルに転送される。

【0006】

コマンドがフラッシュメモリに対する書き込み命令であるとき、入出力部 101 はデータ線 D A T を通し、その書き込み対象データを受信する。そのとき、上記の読み出し時と同様、データ転送はクロック線 C L K からのクロックと同期し、シリアルに又はパラレルに転送される。入出力部 101 により受信された書き込み対象データはメモリ部 102 へ転送される。メモリ部 102 はそのデータを内部のフラッシュメモリへ記憶する。

#### 【0007】

I/Oカードは、ホストと、そのホストとは別の情報処理機器又はネットワークとの間を接続する。例えば、I/Oカードはホストを携帯電話又は内部の無線通信部へ接続する。それにより、ホストは、携帯電話回線網又は無線 L A N を通し、他の情報処理機器との間でデータ交換を実現する。その他に、I/Oカードはホストをデジタルカメラへ接続する。それにより、ホストはデジタルカメラにより撮像された画像データを取り込み、記録し又は編集できる。

一枚の I/Oカードを通し、無線通信部、携帯電話、又はデジタルカメラ等の様々な機能部へ接続されることで、ホストは多種多様な機能を獲得できる。

#### 【0008】

図 9 は、従来の I/Oカード 200 とホスト H との間でのデータ交換を示すブロック図である。

I/Oカード 200 は、上記のメモリカード 100 と同様なバス 103 でホスト H と接続される。すなわち、バス 103 は、データ線 D A T、クロック線 C L K、電源線 V D D、グラウンド線 V S S、及びコマンド線 C M D を含む。

I/Oカード 200 はメモリカード 100 と同様、電源線 V D D とグラウンド線 V S S とを通し、ホスト H から電力を供給される。

#### 【0009】

I/Oカード 200 は機能部として、例えば無線通信部 202 A と撮像部 202 B とを含む。無線通信部 202 A は、例えば外部の無線 L A N に接続し、データを交換する。撮像部 202 B は、例えば電荷結合素子 (C C D) 等の撮像素子を含み、外部から取り入れた光学像を画像信号へ変換する。

#### 【0010】

入出力部 201 は、コマンド線 C M D を通し、ホスト H からコマンドを受信し解読する。その解読されたコマンドの内容に応じ、レスポンスをホスト H へ、コマンド線 C M D を通し返信する。

コマンドが、無線通信部 202 A 又は撮像部 202 B に対するデータ転送命令であるとき、入出力部 201 はそれぞれのモジュールからデータを読み出す。読み出されたデータはデータ線 D A T を通し、ホスト H へ転送される。そのとき、入出力部 201 によるデータ転送は、クロック線 C L K を通しホスト H から転送されたクロックに従い同期通信で行われる。データは、データ線 D A T のいずれかを通しシリアルに、又は全データ線 D A T を通しパラレルに転送される。

#### 【0011】

コマンドが無線通信部 202 A に対するデータ送信命令であるとき、入出力部 201 はデータ線 D A T を通し、送信対象データをホスト H から受信する。そのとき、上記の読み出し時と同様、データ転送はクロック線 C L K からのクロックと同期し、シリアルに又はパラレルに転送される。入出力部 201 により受信されたデータは無線通信部 202 A へ転送され、更に外部へ無線で送信される。

#### 【0012】

ホストは、例えば上記のカード型入出力装置用スロットを複数有するとき、それぞれのスロットへ挿入されたカード型入出力装置と一対一に接続し認識する。すなわち、バスのような物理的な接続の特定により、それぞれのカード型入出力装置を物理的に特定する。更に、そのような物理的な特定を通し、それぞれのカード型入出力装置に対し、異なるカードアドレスを割り当てる。その割り当て後は、ホストは、通信目標のカード型入出力装置、及びそれとの接続用のバスを、カードアドレスにより論理的に特定できる。

## 【0013】

ホストによる従来のカード型入出力装置に対する認識は、具体的には次のように実行される。

ホストは従来のカード型入出力装置を、その初期設定を通し認識する。カード型入出力装置の初期設定は、ホストからの電源投入又はリセット命令の発行により開始される。初期設定時、カード型入出力装置の入出力部は数種類の状態に遷移する。

## 【0014】

ここで、入出力部が特定のコマンドに応じ所定の動作を行うか否かで、その入出力部の状態は区別される。特に、入出力部により受理され得るコマンドは状態ごとに異なる。

入出力部は、その状態で受理し得るコマンドを正常に受信したとき、コマンド受信成功を示すレスポンス（ACK）をホストHへ返信する。更に、そのコマンドに従い所定の処理を実行し、又はそのコマンドの内容を機能部へ中継する。

入出力部は、コマンドの受信に失敗したとき、又はその状態では受理できないコマンドを正常に受信したとき、コマンド受信失敗を示すレスポンス（NAK）をホストHへ返信する。その他に、入出力部はそのとき、何のレスポンスも送出しなくても良い。ホストはレスポンスの待ち時間を制限し、その待ち時間内にレスポンスを受信しないときは、入出力部によるコマンド受信の失敗、又は入出力部への無効コマンドの発行と判断する。

## 【0015】

入出力部の状態はコマンドに応じ一般に遷移する。入出力部の状態には、メモ리카ード100とI/Oカード200とで共通するもの及び異なるものがある。それと符合し、ホストHのコマンドには、両カードで共通するものと異なるものがある。

メモ리카ード100とI/Oカード200とは、ホストHとの間のバス103等の物理的な接続部で共通する（図8、9参照）。その構造上の共通性から容易に類推されるとおり、ホストHは両カードに対し、実質上共通の初期設定を行う。

## 【0016】

図3は、メモ리카ード100又はI/Oカード200等、従来のカード型入出力装置の入出力部での初期設定時の状態遷移を示す図である。

初期設定時、入出力部は以下のように状態を遷移させる。

入出力部は、ホストHから電源を投入されるとき（ステップS0）、又はホストHからリセット命令を受信するとき（ステップC0）、アイドル状態ST1へ遷移する。アイドル状態ST1の入出力部は、初期化命令を含む所定のコマンド群に対してのみレスポンスを送出し、他のコマンドに対してはレスポンスを送出しない。

## 【0017】

入出力部は、ホストHから初期化命令を受信するとき（ステップC1）、接続された機能部へ初期化を指示すると共に、自分自身を初期化する（ステップS1）。

ここで、ホストHは所定のコマンドにより、入出力部をアイドル状態ST1からインアクティブ状態ST5へ遷移させても良い。インアクティブ状態ST5の入出力部はホストHからの全てのコマンドに対しレスポンスを送出しない。

## 【0018】

初期化完了時、入出力部はスタンバイ状態ST2へ遷移する。スタンバイ状態ST2の入出力部は、ホストHからカードアドレス送出命令を受信する（ステップC2）ごとにカードアドレスを更新し、ホストHへ返信する。

ここで、カードアドレスは、例えば入出力部内のレジスタに保持される。入出力部はカードアドレスを、例えば一定のステップずつインクリメントし、又は所定の範囲内でランダムに更新する。

ホストHは、返信されたカードアドレスを、他のカード型入出力装置（もし接続されていれば）に対し既に登録されたカードアドレスと比較する。それらのカードアドレスの間に重複がないとき、ホストHは、返信されたカードアドレスをその入出力部のものとして設定し、登録する。

カードアドレスの設定により、一つのカードに対する初期設定が終了する。

## 【0019】

ホストHは、初期設定を終えたカード型入出力装置の中からデータ転送対象を一つ選択し、カード選択命令を発行する。ここで、カード選択命令は宛先アドレスとして、登録済のカードアドレスを含む。初期設定を終えたスタンバイ状態ST2の入出力部は、カード選択命令の受信時（ステップC3）、その宛先アドレスと自身のカードアドレスとを比較する。両アドレスが一致するとき、入出力部はデータ転送可能状態ST3へ遷移する。データ転送可能状態ST3の入出力部では、ホストHの読み出し命令又は書き込み命令（以下、R/W命令と略す）の受信が可能である。その入出力部は、R/W命令の受信（ステップC4）により、ホストHとの間でデータ転送を開始する。

## 【0020】

図10は従来のカード型入出力装置に対する初期設定のフローチャートである。図10の（a）はホストHについてのフローチャートであり、（b）はカード型入出力装置の入出力部についてのフローチャートである。

ホストHは入出力部へ電源を投入し（ステップS0）、又はリセット命令を発行し（ステップC0）、初期設定を開始する。

電源投入時、又はリセット命令の受信時、入出力部はリセットされ、アイドル状態ST1へ遷移する。

## 【0021】

ホストHは入出力部へ初期化命令を発行し、その入出力部、及びそれに接続された機能部の初期化を指示する（ステップS1）。その初期化命令の受信時（ステップC1）、入出力部は初期化を開始する（ステップS1）。初期化処理の間、入出力部はビジーフラグをオンする。

入出力部による初期化処理の間、ホストHはポーリングにより、入出力部のビジーフラグを監視する（ステップS2）。そのビジーフラグがオンである間、ホストHは新たなコマンドを発行しない。

入出力部は初期化完了時、ビジーフラグをオフする（ステップS3）。それにより、入出力部はスタンバイ状態ST2へ遷移する。

## 【0022】

スタンバイ状態ST2の入出力部は、ホストHからのカードアドレス送出命令、又はカード選択命令を待つ（ステップS4）。ここで、カードアドレス送出命令とカード選択命令とは、メモリカード100とI/Oカード200とで共通のコマンドである。それらのコマンド以外のコマンドが受信されるとき、又はコマンドの受信に失敗したとき、入出力部はホストHへNAKを送出する（ステップS5）。

## 【0023】

ホストHはスタンバイ状態ST2の入出力部へ、カードアドレス送出命令を発行する（ステップS6）。

カードアドレス送出命令を正常に受信したとき、入出力部はカードアドレスを更新する（ステップS7）。更に、更新されたカードアドレスを、カードアドレス送出命令に対するACK内のデータとしてホストHへ送出的（ステップS8）。その送出後、入出力部はホストHからのコマンドを待つ（ステップS4）。

## 【0024】

ホストHは、カードアドレス送出命令に対するレスポンスとして、カードアドレスを受信する。そのカードアドレスを、他のカード型入出力装置に対し既に設定され、登録されたカードアドレスと比較する（ステップS9）。

それらのカードアドレスの間で重複があるとき、ホストHは処理をステップS6へ戻し、カードアドレス送出命令を再び発行する。それにより、入出力部は上記のステップS4、S7、及びS8を順に繰り返し、新たなカードアドレスをホストHへ返信する。

## 【0025】

入出力部により送出されたカードアドレスとホストHへ登録済のカードアドレスとの間で重複がなくなるまで、ホストHはカードアドレス送出命令を繰り返し発行し続ける。それ

らのカードアドレスの間に重複がなくなったとき、ホストHは、入出力部から送出されたカードアドレスをそのカード型入出力装置のものとして設定し、登録する（ステップS10）。こうして、カード型入出力装置に対しカードアドレスがユニークに設定され、初期設定が終了する。

ホストHは、初期設定を終えたカード型入出力装置の中からデータ転送対象を一つ選択し、カード選択命令を発行する。ステップS4でそのカード選択命令の受信が識別されるとき、入出力部はデータ転送可能状態ST3へ遷移する。

【0026】

【発明が解決しようとする課題】

メモリカード100とI/Oカード200とは、ホストHとの間のバス103等の接続部で共通する。従って、それらの共通部分について単一の装置を共用できれば、メモリカード100とI/Oカード200との両方の機能を一枚のカード内に収め得る。そのように両機能を複合したカード型入出力装置（以下、複合I/Oカードという）が実現されれば、ホストは従来のスロットをそのまま利用し、メモリカードとI/Oカードとの両機能を同時に利用できる。

【0027】

図11は、複合I/Oカード300の内部構成の一例を示すブロック図である。この複合I/Oカード300はメモリユニット301とI/Oユニット302とを有する。メモリユニット301は、従来のメモリカード100と同様な構成を含み、そのカードに対するコマンドと同じコマンドで制御される。I/Oユニット302は、従来のI/Oカード200と同様な構成を含み、そのカードに対するコマンドと同じコマンドで制御される。図11では、それらの同様な構成に対し、図8及び図9に示される符号と同じ符号が付される。

【0028】

上記の複合I/Oカード300では、メモリユニット301とI/Oユニット302とが同じコマンド線CMDへ実質上単純に結線される。従って、ホストHからの一つのコマンドが両ユニットの入出力部101と201とにより、実質上同時に受信される。それぞれの入出力部は互いに独立して同じコマンドを解読する。

例えば、メモリカード100とI/Oカード200との共通コマンドが正常に受信されるとき、二つの入出力部101と201とはそれぞれの状態に応じたレスポンスを返信する。

その他に、例えば、メモリカード100専用コマンドが正常に受信されるとき、メモリユニット301の入出力部101はACKを返信し、I/Oユニット302の入出力部201はNAKを返信する。

【0029】

複合I/Oカード300とホストHとの間でのコマンド／レスポンス通信は、クロック線CLK上のクロックと同期して行われる。従って、二つの入出力部が一つのコマンドに対し同時にレスポンスを送出するとき、それらのレスポンスは共通のコマンド線CMD上で互いに衝突し、ワイヤードOR（Wired-OR）を通した一つのレスポンスとしてホストHへ通知される。ホストHはその一つのレスポンスから、メモリユニット301とI/Oユニット302とのそれぞれのレスポンスを解読しなければならなかった。すなわち、ホストHは、複合I/Oカード300のレスポンスに対し、従来とは異なる処理を要した。その結果、従来のスロットが、複合I/Oカード300に対する上位互換性を持ち得なかった。

【0030】

上記の複合I/Oカード300では、メモリユニット301とI/Oユニット302との間でのレスポンスについての競合の他に、次のような問題があった。

複合I/Oカード300は、従来のメモリカード100とI/Oカード200と同様なバス103でのみホストHと接続される。一方、ホストHは、従来のカード型入出力装置に対する初期設定を、バス103ごとに行う。従って、ホストHは複合I/Oカード300

に対しても、メモ리카ード 100 と I/O カード 200 と同様な一枚のカード型入出力装置としての認識を試みる。

#### 【0031】

ホスト H が複合 I/O カード 300 に対し従来と同様な初期設定を行うとき、メモリユニット 301 と I/O ユニット 302 との間でレスポンスについての競合が上記のように生じる。その競合を回避するには、例えば、いずれかの一方のユニットの入出力部を停止させれば良い。

ここで、I/O ユニット 302 を停止させるときを想定する。そのとき、ホスト H はメモリユニット 301 に対し、従来と同様な初期設定を行う。その結果、メモリユニット 301 はホスト H により認識される。特に、メモリユニット 301 が、バス 103 によりホスト H へ接続されたカード型入出力装置として、カードアドレスを設定される。従って、I/O ユニット 302 がホスト H からのアクセスを識別するには、メモリユニット 301 に対し設定されたカードアドレス等の認識情報を、自身のレジスタに保持しなければならない。

しかし、従来のカード型入出力装置は、他のカード型入出力装置とカードアドレス等の認識情報を共有するための手段を持たなかった。従って、従来の機能では両ユニットが認識情報を共有できなかった。

#### 【0032】

本発明は、ホストとの間のバスを共用する二以上の入出力装置の複合であり、それぞれの装置の単体と同様な一つの装置としてホストにより良好に認識される入出力装置、の提供を目的とする。

#### 【0033】

##### 【課題を解決するための手段】

本発明による複合入出力装置は、

(A) ホストからのコマンドの内、第一のコマンド群に属するものを、第一の機能部へ中継するための第一の入出力部；

(B) ホストからのコマンドの内、第二のコマンド群に属するものを、第二の機能部へ中継するための第二の入出力部；及び、

(C) 第一の入出力部と第二の入出力部とをそれぞれホストへ接続し、それらの入出力部により共用されるバス；

を有する。その複合入出力装置では、

(D) 第一の入出力部と第二の入出力部とがホストにより共通のアドレスでアクセスされ；

(E) 第一の入出力部が、第二の入出力部の状態に応じ、コマンドに対するレスポンスを送出し、又は抑制し；

(F) 第二の入出力部が、第一の入出力部の状態に応じ、コマンドに対するレスポンスを送出し、又は抑制する。

#### 【0034】

ここで、入出力部が特定のコマンドに対し所定の動作を行い又は行わないことで、入出力部の状態は区別される。特に、入出力部により受理され得るコマンドは状態ごとに異なる。

入出力部は、その状態で受理し得るコマンドを正常に受信したとき、ACK をホストへ返信する。更に、そのコマンドに従い所定の処理を実行し、又はそのコマンドの内容を機能部へ中継する。

入出力部は、コマンドの受信に失敗したとき、又はその状態では受理できないコマンドを受信したとき、NAK をホストへ返信する。

このように、入出力部は一つのコマンドに対しレスポンスを、その状態に応じ決定する。

#### 【0035】

上記の複合入出力装置のように二つの入出力部を含む複合入出力装置では、それぞれの入出力部の状態が一般に異なるので、一つのコマンドに対しそれぞれの入出力部で決定され



るレスポンスが一般に異なる。

上記の複合入出力装置では、入出力部のそれぞれが更に、他の入出力部の状態に応じ、レスポンスを送出し、又は抑制する。それにより、二つの入出力部が異なるレスポンスを同時に送出することが回避され、それらのレスポンス同士がバス上で衝突しない。こうして、上記の複合入出力装置は、第一の入出力部又は第二の入出力部のいずれか一方だけを含む入出力装置の単体と同様な一つの入出力装置として、ホストにより良好に認識される。

#### 【0036】

上記の複合入出力装置では第一の入出力部と第二の入出力部とのそれぞれが、(A) ホストからのコマンドを解釈し、そのコマンドに対するレスポンスをホストへ送出するためのコマンド解釈部；

(B) 自己の属する入出力部の状態を他の入出力部へ通知するための状態通知部；及び

(C) 他の入出力部の状態通知部から入力された他の入出力部の状態に応じ、自己の属する入出力部のコマンド解釈部によるレスポンスを抑制するためのレスポンス抑制部；を有しても良い。それにより、二つの入出力部が相互の状態を直接監視し、正確に把握できる。その結果、それぞれの入出力部が自己のレスポンスを返信すべきか、又は抑制すべきかを、適切に判断できる。

#### 【0037】

上記の他に、第一の入出力部と第二の入出力部とのそれぞれが、

(A) 上記のコマンド解釈部；

(B) コマンドの履歴を記憶し、その履歴に基づき他の入出力部の状態を推測するための状態推測部；及び、

(C) 状態推測部により推測された他の入出力部の状態に応じ、自己のコマンド解釈部によるレスポンスを抑制するためのレスポンス抑制部；

を有しても良い。ここで、入出力部の状態はコマンドに従い一般に遷移する。更に、例えば電源投入等によりリセットされた時の状態は、通常単一である。従って、リセット以降の状態は、コマンドの履歴から容易に推測される。

二つの入出力部は相互の状態を推測し、正確に把握できる。その結果、それぞれの入出力部が、自己のレスポンスを返信すべきか、又は抑制すべきかを、適切に判断できる。

#### 【0038】

上記の複合入出力装置では、

(A) 第一のコマンド群に属するコマンドに対し、第一の入出力部がレスポンスを送出し、第二の入出力部がレスポンスを抑制し；

(B) 第二のコマンド群に属するコマンドに対し、第一の入出力部がレスポンスを抑制し、第二の入出力部がレスポンスを送出ししても良い。それにより、レスポンス同士の衝突が回避され、コマンドに対し適切なレスポンスがホストへ返信される。

#### 【0039】

上記の複合入出力装置では更に、第一のコマンド群と第二のコマンド群との間の共通コマンドに対し、第一の入出力部がレスポンスを送出し、第二の入出力部がレスポンスを抑制しても良い。

二つの入出力部の状態は一般に異なるので、同じコマンドに対しそれぞれのレスポンスは一般に異なる。しかし、二つの入出力部が、例えば同時にリセットされるとき等では、同時に共通の状態であり得る。そのとき、共通コマンドに対しては、いずれの入出力部のレスポンスが採用されても良い。

そのような状況で、上記の複合入出力装置は、共通コマンドに対し応答する入出力部を一方に固定する。それにより、共通コマンドに対するレスポンスの選択処理を省略し、共通コマンドに対する応答時間を短縮できる。

#### 【0040】

上記の複合入出力装置では、入出力部のいずれか一方がアクティブでないとき、他方の入出力部がコマンドに対しレスポンスを送出ししても良い。



ここで、「入出力部がアクティブでない」とは、入出力部が実質上全てのコマンドに対し、NACKを含めどのようなレスポンスも送出不しい状態であることをいう。例えば、入出力部が停止しているとき、その入出力部はアクティブではない。

一方の入出力部がアクティブでないとき、その入出力部はレスポンスを送出不しい。しかし、他方の入出力部が代わりにレスポンスを送出する。こうして、上記の複合入出力装置は、ホストとの間でのコマンド／レスポンス通信を良好に維持できる。

#### 【0041】

上記の複合入出力装置では、ホストは、第一の機能部と第二の機能部とのいずれか一方だけを使用するとき、他方の機能部に接続された入出力部をアクティブでない状態へ遷移させても良い。そのとき、ホストはその入出力部に対し、接続された機能部への電力供給を停止するように指示できる。更に、その入出力部自体を停止させても良い。それにより、非使用部分での電力消費を低減できる。

#### 【0042】

上記の複合入出力装置では第一の入出力部と第二の入出力部とのそれぞれが、(A) 共通のアドレスを含む共通の認識情報を記憶するためのレジスタ；及び、(B) レジスタの更新時、その更新内容を他の入出力部へ通知するためのレジスタ更新通知部；

を含んでも良い。又は、レジスタ更新通知部の他に、

(C) 他の入出力部のレスポンスを監視し、そのレスポンスに基づき、他の入出力部でのレジスタの内容を推定するためのレジスタ推定部；

を含んでも良い。

それにより、ホストはいずれか一方の入出力部のレジスタを更新するだけで、他方の入出力部のレジスタを実質的に更新できる。更に、二つの入出力部は共通の認識情報を矛盾なく共有できる。例えば、ホストがいずれか一方の入出力部に対してのみ初期設定を行い、アドレスを設定するとき、他方の入出力部が同じアドレスを共有できる。従って、その他方の入出力部がホストからのアクセスを識別できる。こうして、ホストは、複合入出力装置内のそれぞれのユニットへのアクセスを良好に維持できる。

#### 【0043】

##### 【発明の実施の形態】

以下、本発明の最適な実施の形態について、その好ましい実施例を挙げて、図面を参照しつつ説明する。

#### 【0044】

##### 《実施例1》

図1は、本発明の実施例1による複合I/Oカード10Aについて、ホストHとの間のデータ交換を示すブロック図である。

この複合I/Oカード10Aはメモリユニット1AとI/Oユニット2Aとを有し、バス3でホストHと接続される。ここで、バス3は、少なくとも一本のデータ線DAT、クロック線CLK、電源線VDD、グラウンド線VSS、及びコマンド線CMDを含む。図1では複合I/Oカード10Aのみが示されるが、ホストHへはその他の同様なカード型入出力装置が、バス3と同様な物理的接続部で同時に接続されても良い。

複合I/Oカード10AはホストHから、電源線VDDとグラウンド線VSSとを通し、電力を供給される。

#### 【0045】

メモリユニット1Aはメモリ部12を有する。メモリ部12は内部にフラッシュメモリを含み、それに対するデータの入出力を制御する。メモリユニット1Aはメモリ部12により、ホストHからのデータをフラッシュメモリへ記憶し、又は、そのフラッシュメモリのデータをホストHへ提供する。

#### 【0046】

I/Oユニット2Aは内部の様々な機能部、又は外部の様々な情報処理機器へホストHを接続するためのインタフェースとして機能する。例えば、I/Oユニット2Aは無線通信部22Aと撮像部22Bとを含む。無線通信部22Aは、例えば外部の無線LANへホス

トHを接続し、無線LANとホストHとの間の無線によるデータ交換を実現する。撮像部22Bは例えばCCD等の撮像素子を含み、外部から取り入れた光学像を画像信号へ変換し、ホストHへ提供する。その他に、I/Oユニット2Aは、例えば外部の携帯電話へ接続され、ホストHによる携帯電話網へのアクセスを可能にしても良い。更に、例えば外部のデジタルカメラへ接続され、その画像データをホストHへ提供しても良い。

#### 【0047】

メモリユニット1AとI/Oユニット2Aとはそれぞれ、同様な構成の入出力部11Aと21Aを含む。それぞれの入出力部は、共通のデータ線DAT、共通のクロック線CLK、及び共通のコマンド線CMDへ結線され、それらを通しホストHとの間でデータを交換する。

そのデータ交換は同期通信で実行される。すなわち、クロック線CLKを通しホストHから転送されたクロックと同期し、データが送受信される。そのとき、データは、データ線DATのいずれかを通しシリアルに、又は全データ線DATを通しパラレルに転送される。

#### 【0048】

データ通信は更に、コマンド線CMDを通したコマンド/レスポンス方式により制御される。ここで、コマンド及びレスポンスは、上記のクロックに同期して交換される。メモリユニット1A用の読み出し命令又は書き込み命令（以下、R/W命令と略す）は、従来のメモ리카ード用のものと同じである。一方、I/Oユニット2A用のR/W命令は、従来のI/Oカード用のものと同じである。

#### 【0049】

メモリユニット1AとI/Oユニット2Aとのそれぞれの入出力部11Aと21Aとは、データ線DAT、クロック線CLK、及びコマンド線CMDを共用する。そのとき、ホストHから送出されたデータとコマンドとは、両方の入出力部へ実質上同時に到達する。一方、ホストHからの共通のコマンドに対しそれぞれの入出力部が同時にレスポンスを返すとき、それらのレスポンスは共通のコマンド線CMDを通る。それにより、両方のレスポンスはワイヤードORを通し、ホストHへ伝送される。実施例1による複合I/Oカード10Aでは、それぞれの入出力部のレスポンスが異なるとき、以下の構成によりレスポンスの一方が抑制される。その結果、レスポンスの衝突が回避され、適切なレスポンスがホストHへ送出される。

#### 【0050】

メモリユニット1Aの入出力部11Aは、コマンド解読部13、レジスタ14、状態通知部15A、レスポンス抑制部16A、及びレジスタ更新通知部17Aを含む。同様に、I/Oユニット2Aの入出力部21Aは、コマンド解読部23、レジスタ24、状態通知部25A、レスポンス抑制部26A、及びレジスタ更新通知部27Aを含む。それぞれの構成について、両方の入出力部は共通する。

以下、メモリユニット1Aの入出力部11Aについて構成の詳細を説明する。それらの説明は、I/Oユニット2Aの入出力部21Aについても同様である。

#### 【0051】

コマンド解読部13は、コマンド線CMDを通しホストHからコマンドを受信し解読する。更に、その解読されたコマンドの内容と入出力部11Aの状態とに応じレスポンスを決定する。

コマンド解読部13はコマンドに対するレスポンスを、例えば次のように決定する。

ホストHからのコマンドには、メモリユニット1A用のもの、I/Oユニット2A用のもの、及び両ユニットで共通のものがある。受信されたコマンドがいずれのユニット用のものであるのかを、コマンド解読部13はまず判断する。

そのコマンドがいずれのユニット用であるのかを識別できないとき、コマンド解読部13はNAKをレスポンスとして決定する。

そのコマンドがI/Oユニット2A用であるとき、コマンド解読部13は受信エラーの有

無に関わらず、N A Kをレスポンスとして決定する。

【0052】

そのコマンドがメモリユニット1 A用であるとき、そのコマンドがその受信時での入出力部1 1 Aの状態では受理され得るものであるか否かを、コマンド解読部1 3は更に判断する。

そのコマンドがその受信時での入出力部1 1 Aの状態では受理できないものであるとき、コマンド解読部1 3は受信エラーの有無に関わらず、N A Kをレスポンスとして決定する。

そのコマンドが受理され得るものであり、かつそのコマンドが正常に受信されたとき、コマンド解読部1 3はA C Kをレスポンスとして決定する。更に、そのコマンドに従い所定の処理を実行し、又はそのコマンドの内容をメモリ部1 2へ中継する。

そのコマンドが受理され得るものであり、かつそのコマンドが正常に受信されなかったとき、コマンド解読部1 3はN A Kをレスポンスとして決定する。

【0053】

レジスタ1 4は一般に複数のメモリ領域を含む。それぞれのメモリ領域は所定のデータを保持し、特定のコマンドでのみアクセスされる。

レジスタ1 4は例えば、カードアドレスを保持する。ここで、カードアドレスは例えば、ホストHからカード型入出力装置へのR/W命令に含まれる。入出力部1 1 AはR/W命令の受信時、その宛先アドレスとレジスタ1 4により保持されたカードアドレスとを比較し、そのR/W命令が自分宛であるか否かを判断する。

複合I/Oカード1 0 Aでは、メモリユニット1 AとI/Oユニット2 Aとのいずれか一方とホストHとの間でカードアドレスの設定が行われるとき、後述のように他方のカードアドレスも同様に更新される。それにより、両ユニットは共通のカードアドレスを保持する。

【0054】

入出力部1 1 Aの状態はコマンドに応じ一般に遷移する。状態通知部1 5 Aは、コマンド解読部1 3により解読されたコマンドに基づき入出力部1 1 Aでの状態遷移を検知し、I/Oユニット2 Aの入出力部2 1 Aへ通知する。

【0055】

レスポンス抑制部1 6 Aは、コマンド解読部1 3により受信されるコマンドを監視する。更に、そのコマンドの内容、メモリユニット1 Aの入出力部1 1 Aの状態、及び、I/Oユニット2 Aの入出力部2 1 Aの状態通知部2 5 Aから通知された状態に基づき、コマンド解読部1 3によるレスポンスの送出の是非を判断する（以下、その判断のことをレスポンス送出判断という）。その結果、I/Oユニット2 AのレスポンスをホストHへ送出すべきと判断するとき、コマンド解読部1 3のレスポンスを抑制する。

コマンド解読部1 3により決定されたレスポンスは、レスポンス抑制部1 6 Aによる抑制を受けないときのみ、コマンド線C M Dを通しホストHへ返信される。

【0056】

レジスタ更新通知部1 7 Aは、自己の属する入出力部1 1 A内のレジスタ1 4を監視する。レジスタ1 4のいずれかで内容が更新されるとき、レジスタ更新通知部1 7 Aはその更新内容を、I/Oユニット2 Aの入出力部2 1 Aのレジスタ2 4へ通知する。それにより、メモリユニット1 Aの入出力部1 1 AとI/Oユニット2 Aの入出力部2 1 Aとは、それぞれのレジスタ1 4と2 4とが共通の内容を保持する。

【0057】

図2は、レスポンス抑制部1 6 Aによるレスポンス送出判断のフローチャートである。

コマンド解読部1 3が一つのコマンドCを受信し、解読する。

コマンド解読部1 3によるコマンドCの解読結果に基づき、コマンドCがいずれの入出力部用のものであるのかを、レスポンス抑制部1 6 Aは識別する（ステップD 1）。

コマンドCが自己の属するメモリユニット1 A用のものであるとき、レスポンス抑制部1 6 Aはコマンド解読部1 3によるレスポンスの送出を認める（ステップR 1）。

## 【0058】

コマンドCがI/Oユニット2A用のものであるとき、又はいずれの入出力部のものであるか識別できないとき、レスポンス抑制部16Aの判断はステップD2へ分岐する。ステップD2では、I/Oユニット2Aの入出力部21Aがアクティブであるか否か、すなわち、コマンドCに対しレスポンスを送出し得るか否かを、レスポンス抑制部16Aは、I/Oユニット2Aの状態通知部25Aから通知された状態に基づき判断する。

I/Oユニット2Aの入出力部21Aがアクティブでないとき、レスポンス抑制部16Aはコマンド解読部13によるレスポンスの送出を認める（ステップR1）。逆にアクティブであるとき、レスポンス抑制部16Aはコマンド解読部13のレスポンスを抑制する（ステップR2）。

## 【0059】

コマンドCが両ユニットの共通コマンドであるとき、レスポンス抑制部16AはI/Oユニット2Aの入出力部21Aの状態を、その状態通知部25Aからの通知に基づきチェックする（ステップD3）。それにより、両ユニットの入出力部の状態を比較し、いずれの入出力部のレスポンスを優先させるか、判断する。

その結果、メモリユニット1Aの入出力部11Aのレスポンスを優先すべきと判断するとき、コマンド解読部13によるレスポンスの送出を認める（ステップR1）。逆に、I/Oユニット2Aの入出力部21Aのレスポンスを優先すべきと判断するとき、コマンド解読部13によるレスポンスを抑制する（ステップR2）。

## 【0060】

両ユニットの入出力部の状態が実質的に同等で、共通コマンドに対しいずれの入出力部のレスポンスを送出しても良いとき、レスポンス抑制部16Aは更に、共通コマンドに対するレスポンスの送出についての優先権の有無をチェックする（ステップD4）。

ここで、その優先権を持つ入出力部とは、共通コマンドに対しレスポンスを優先的に送出するように予め設定された入出力部を意味する。優先権は、例えば複合I/Oカード10Aの製造時に、二つのユニットのいずれか一方の入出力部のみに対し設定される。

メモリユニット1Aの入出力部11Aが上記の優先権を持つとき、レスポンス抑制部16Aはコマンド解読部13によるレスポンスの送出を認める（ステップR1）。逆に優先権を持たないとき、コマンド解読部13によるレスポンスを抑制する（ステップR2）。

## 【0061】

メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとは、ホストHとの間の物理的な接続部、特にバス3を共有する（図1参照）。従って、ホストHは複合I/Oカード10Aを、従来と同様な一つのカード型入出力装置としてアクセスする。それにより、ホストHのコマンドは、複合I/Oカード10A内の各ユニットへ個別には送出されず、両ユニットの入出力部により同時に受信される。その結果、両ユニットの入出力部間で、レスポンスの送出についての競合が一般に生じる。複合I/Oカード10Aでは、以下のように、両入出力部が相互に状態を通知し合い、それぞれの状態に応じ、レスポンスの送出について調停を行う。それにより、上記の競合が解消され、ホストHへは適切な一つのレスポンスが送出される。それ故、ホストHは複合I/Oカード10Aを従来のカード型入出力装置と同様に良好に認識でき、それぞれのユニットへのアクセスを良好に維持できる。

## 【0062】

以下、ホストHによる複合I/Oカード10A内の各ユニットに対する初期設定を例に挙げ、通知された入出力部の状態に応じた、レスポンスの送出についての調停動作を具体的に説明する。

図3は、複合I/Oカード10Aについて、メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとのそれぞれの初期設定時の状態遷移を示す図である。初期設定時、メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとはそれぞれ、状態遷移について、従来のカード型入出力装置の入出力部と共通する。

## 【0063】

入出力部は、ホストHから電源を投入されるとき（ステップS0）、又はホストHからリセット命令を受信するとき（ステップC0）、アイドル状態ST1へ遷移する。アイドル状態ST1の入出力部は、初期化命令を含む所定のコマンド群に対してのみレスポンスを送出し、他のコマンドに対してはレスポンスを送出しない。

【0064】

入出力部は、ホストHから初期化命令を受信するとき（ステップC1）、接続された機能部へ初期化を指示すると共に、自分自身を初期化する（ステップS1）。

ここで、ホストHは所定のコマンドにより、入出力部をアイドル状態ST1からインアクティブ状態ST5へ遷移させても良い。インアクティブ状態ST5の入出力部はホストHからの全てのコマンドに対しレスポンスを送出しない。

【0065】

初期化完了時、入出力部はスタンバイ状態ST2へ遷移する。スタンバイ状態ST2の入出力部は、ホストHからカードアドレス送出命令を受信する（ステップC2）ごとにカードアドレスを更新し、ホストHへ返信する。

ここで、入出力部はカードアドレスを、例えば一定のステップずつインクリメントして更新し、又は所定の範囲内でランダムに更新する。

ホストHは、返信されたカードアドレスを登録済のものと比較し、それらに重複がないとき、そのカードアドレスをその入出力部のものとして設定し、登録する。

カードアドレスの設定により、一つのカードに対する初期設定が終了する。

【0066】

ホストHは、初期設定を終えたカード型入出力装置の中からデータ転送対象を一つ選択し、カード選択命令を発行する。ここで、カード選択命令は宛先アドレスとして、登録済のカードアドレスを含む。初期設定を終えたスタンバイ状態ST2の入出力部は、カード選択命令の受信時（ステップC3）、その宛先アドレスと自身のカードアドレスとを比較する。両アドレスが一致するとき、入出力部はデータ転送可能状態ST3へ遷移する。

データ転送可能状態ST3の入出力部では、ホストHからのR/W命令の受信が可能である。その入出力部は、R/W命令の受信（ステップC4）により、ホストHとの間でデータ転送を開始する。

【0067】

図4と図5とは複合I/Oカード10Aの初期設定のフローチャートである。それぞれの図の（a）はホストHについてのフローチャートであり、（b）は複合I/Oカード10A内の二つの入出力部11Aと21Aとのそれぞれについてのフローチャートである。

【0068】

図4は、初期設定開始からメモリユニット1AとI/Oユニット2Aとの初期化完了までのフローチャートである。

図4の（a）に示されるように、ホストHは複合I/Oカード10Aへ電源を投入し（ステップS0）、又はリセット命令を発行し（ステップC0A又はC0B）、初期設定を開始する。

ここで、ホストHによる電源投入は、ホストH自体のパワーオンリセットによるものでも、ホストHのスロットへの複合I/Oカード10Aの活線挿入によるものでも良い。

【0069】

電源投入時、複合I/Oカード10A内の二つの入出力部11Aと21Aとの両方がリセットされる。

一方、リセット命令はメモリカードとI/Oカードとで異なるので、メモリカード用リセット命令の発行時（ステップC0A）ではメモリユニット1Aだけがリセットされ、I/Oカード用リセット命令の発行時（ステップC0B）ではI/Oユニット2Aだけがリセットされる。ホストHは、メモリユニット1AとI/Oユニット2Aとのいずれか一方のみをリセットするときは、目標のユニットに対応するリセット命令のみを発行する。そのとき、リセット命令を受けないユニットは元の状態を維持する。

【0070】

電源投入でのリセットでは（ステップ S 0）、例えば、I/Oユニット 2 Aがまずリセットされる。一方、リセット命令でのリセットでは、ホスト Hは、例えば、I/Oユニット 2 A用のリセット命令をまず発行する（ステップ C 0 A）。すなわち、ホスト HがI/Oユニット 2 Aのリセットをスキップしない限り、初期設定ではI/Oユニット 2 Aが先にリセットされる。

リセットにより、I/Oユニット 2 Aの入出力部 2 1 Aは、図 4 の（b）に示されるように、アイドル状態 S T 1 へ遷移する。

#### 【0071】

ホスト Hは、I/Oユニット 2 Aへ初期化命令を発行し、その初期化を指示する（ステップ S 1 A）。その初期化命令の受信時（ステップ C 1）、I/Oユニット 2 Aの入出力部 2 1 Aは初期化を開始する（ステップ S 1）。その初期化は、I/Oユニット 2 A内の無線通信部 2 2 A、撮像部 2 2 B、及びその他の機能部、並びに、I/Oユニット 2 Aへ接続された外部の情報処理機器の初期化を含む。初期化処理の間、入出力部 2 1 Aは更に、レジスタ 2 4 内のビジーフラグをオンする。ビジーフラグは例えばレジスタ 2 4 内の所定の 1 ビットデータとして定義される。

#### 【0072】

ここで、ホスト HはI/Oユニット 2 Aに対し初期化命令を発行せず、I/Oユニット 2 Aの初期化をスキップしても良い。そのとき、I/Oユニット 2 Aの入出力部 2 1 Aはアイドル状態 S T 1 のまま維持される。入出力部 2 1 Aは内部の状態通知部 2 5 Aにより、アイドル状態 S T 1 に維持されることをメモリユニット 1 Aの入出力部 1 1 Aへ通知する（ステップ S 4）。アイドル状態 S T 1 の入出力部 2 1 Aは、初期化命令の受信（ステップ C 1）まで、他のコマンドに対しレスポンスを送出しない。

#### 【0073】

ホスト Hは更に、I/Oユニット 2 Aの入出力部 2 1 Aのアイドル状態 S T 1 を、インアクティブ状態 S T 5 へ遷移させても良い。そのとき、入出力部 2 1 Aはインアクティブ状態 S T 5 であることをメモリユニット 1 Aの入出力部 1 1 Aへ通知する（ステップ S 5）。インアクティブ状態 S T 5 の入出力部 2 1 Aはレスポンスを一切送出不し。

#### 【0074】

I/Oユニット 2 Aの入出力部 2 1 Aは、アイドル状態 S T 1 又はインアクティブ状態 S T 5 であるとき、無線通信部 2 2 A及び撮像部 2 2 B等の機能部への電力供給を停止しても良い。それにより、ホスト HがI/Oユニット 2 A内、又はそれに接続された機能部を使用しないとき、それらの待機時での電力消費を低減できる。

#### 【0075】

I/Oユニット 2 Aでの初期化処理の間、ホスト Hはポーリングにより、I/Oユニット 2 Aのビジーフラグを監視する（ステップ S 2 A）。そのビジーフラグがオンである間、ホスト Hは新たなコマンドを発行しない。

I/Oユニット 2 Aの入出力部 2 1 Aは初期化完了時、ビジーフラグをオフする（ステップ S 3）。それにより、入出力部 2 1 Aはスタンバイ状態 S T 2 へ遷移する。そのとき、入出力部 2 1 Aは状態通知部 2 5 Aにより、その状態遷移をメモリユニット 1 Aの入出力部 1 1 Aへ通知する（ステップ S 1 1）。

#### 【0076】

電源投入（ステップ S 0）では、続いてメモリユニット 1 Aがリセットされる。一方、リセット命令によるリセットでは、ホスト Hがメモリユニット 1 A用のリセット命令を発行するとき（ステップ C 0 B）、メモリユニット 1 Aがリセットされる。

以後、ホスト Hがメモリユニット 1 Aへの初期化命令の発行（ステップ S 1 B）をスキップしない限り、上記のI/Oユニット 2 Aの初期化と同様に、メモリユニット 1 Aの初期化が実行される。

ここで、リセット又は初期化を通し遷移したメモリユニット 1 Aの入出力部 1 1 Aの状態は、内部の状態通知部 1 5 Aにより、I/Oユニット 2 Aの入出力部 2 1 Aへ通知される。こうして、それぞれのユニットの入出力部は相互の状態を把握する。

## 【0077】

メモリユニット 1 A での初期化処理の間、ホスト H はポーリングにより、メモリユニット 1 A のビジーフラグを監視する（ステップ S 2 B）。そのビジーフラグがオフされた時、ホスト H はカードアドレスの設定処理を開始する。メモリユニット 1 A のリセット又は初期化がスキップされたときは、I/O ユニット 2 A のビジーフラグがオフされた時、ホスト H はカードアドレスの設定処理を開始する。

## 【0078】

図 5 は、カードアドレスの設定から初期設定の終了までのフローチャートである。スタンバイ状態 S T 2 の入出力部は、ホスト H からのカードアドレス送出命令、又はカード選択命令を待つ（ステップ S 4）。ここで、カードアドレス送出命令とカード選択命令とは、メモリユニット 1 A と I/O ユニット 2 A とで共通のコマンドである。

## 【0079】

ホスト H はスタンバイ状態 S T 2 の入出力部へ、カードアドレス送出命令を発行する（ステップ S 6）。そのカードアドレス送出命令は、メモリユニット 1 A の入出力部 1 1 A と I/O ユニット 2 A の入出力部 2 1 A との両方により、実質上同時に受信される。そのとき、それぞれの入出力部がいずれもアクティブであれば、レスポンスの送出について競合が生じる。

## 【0080】

複合 I/O カード 10 A は上記の競合を次のように解消する。スタンバイ状態 S T 2 にあるメモリユニット 1 A の入出力部 1 1 A 又は I/O ユニット 2 A の入出力部 2 1 A では、カードアドレス送出命令ともカード選択命令とも異なるコマンドの受信時、それぞれのレスポンス抑制部 1 6 A 又は 2 6 A が、図 2 のフローチャートに従い、レスポンス送出判断を行う（ステップ S 1 2）。それにより、適切なレスポンスが一つ選択され、ホスト H へ返信される。一方、スタンバイ状態 S T 2 にある入出力部は、再びホスト H からのコマンドを待つ（ステップ S 4）。コマンドが識別できないときも、同様である。

## 【0081】

スタンバイ状態 S T 2 にある入出力部がカードアドレス送出命令を受信するとき、そのレスポンス抑制部は、図 2 のフローチャートに従い、レスポンス送出判断を行う（ステップ S 1 3）。レスポンスの送出を認めるとき（ステップ R 1）、入出力部はまず、レジスタに保持されたカードアドレスを更新する（ステップ S 7）。そのカードアドレスの更新は、その入出力部内のレジスタ更新通知部により、他方の入出力部へ通知される（ステップ S 1 4）。それにより、両方の入出力部が共通のカードアドレスを保持する。入出力部は更に、更新されたカードアドレスを、カードアドレス送出命令に対するレスポンスとして、ホスト H へ送出する（ステップ S 8）。その送出後、入出力部はホスト H からのコマンドを待つ（ステップ S 4）。

## 【0082】

ホスト H は、複合 I/O カード 10 A からカードアドレスを、カードアドレス送出命令のレスポンスとして受け取る。そのとき、そのカードアドレスを、他のカード型入出力装置に対し既に設定され、登録されたカードアドレスと比較する（ステップ S 9）。それらのカードアドレスの間で重複があるときは、ホスト H は処理をステップ S 6 へ戻し、カードアドレス送出命令を再び発行する。それにより、複合 I/O カード 10 A 内のそれぞれの入出力部は上記のステップ S 4、S 1 2、S 1 3、S 7、S 1 4、及び S 8 を繰り返し、新たなカードアドレスをホスト H へ返信する。

## 【0083】

ホスト H は、複合 I/O カード 10 A により送出されたカードアドレスと、ホスト H へ登録済のカードアドレスとの間で重複がなくなるまで、ステップ S 6 と S 9 とのループを繰り返す。それらのカードアドレスの間に重複がなくなったとき、ホスト H は、複合 I/O



カード 10A から送出されたカードアドレスを複合 I/O カード 10A のものとして設定し、登録する（ステップ S10）。こうして、複合 I/O カード 10A のカードアドレスがユニークに設定され、初期設定が終了する。

#### 【0084】

ホスト H は、初期設定を終えた複合 I/O カード 10A をデータ転送対象として選択するとき、複合 I/O カード 10A に対しカード選択命令を発行する。ここで、そのカード選択命令は宛先アドレスとして、複合 I/O カード 10A のカードアドレスを含む。複合 I/O カード 10A の二つの入出力部 11A と 21A との内、初期設定を終え、スタンバイ状態 ST2 にあるものは、カード選択命令の受信時、その宛先アドレスと自身のカードアドレスとを比較する。両アドレスが一致するとき、その入出力部はデータ転送可能状態 ST3 へ遷移する。

#### 【0085】

ホスト H は更に、複合 I/O カード 10A に対し R/W 命令を発行する。ここで、R/W 命令はメモリカード用と I/O カード用とで異なるコマンド ID を持つ。従って、その R/W 命令が所属のユニット用であるか否かを、それぞれのコマンド解読部は識別できる。

#### 【0086】

ホスト H は、例えばメモリユニット 1A との間でデータ転送を行うとき、複合 I/O カード 10A に対しメモリカード用の R/W 命令を発行する。メモリユニット 1A のコマンド解読部 13 は、その R/W 命令の正常受信時、ACK を送出する。一方、I/O ユニット 2A のコマンド解読部 23 は、その R/W 命令の受信時、NAK を設定する。I/O ユニット 2A のレスポンス抑制部 26A はそのとき、メモリユニット 1A の入出力部 11A の状態をチェックする。それにより、メモリユニット 1A がアクティブであるとき、コマンド解読部 23 のレスポンスを抑制する。メモリユニット 1A がアクティブでない等、R/W 命令に対しレスポンスを送出できない状態にあるときは、コマンド解読部 23 によるレスポンスの送出を認める。こうして、R/W 命令に適切に対応したレスポンスだけが、ホスト H へ返信される。

#### 【0087】

以上の通り、実施例 1 による複合 I/O カード 10A では、メモリユニット 1A の入出力部 11A と I/O ユニット 2A の入出力部 21A とが相互の状態を監視する。レスポンスの送出について両入出力部の間で競合が生じるとき、それぞれの入出力部の状態に応じ、一方のレスポンスが抑制され、適切なレスポンスのみが送出される。こうして、レスポンス同士の衝突が回避されるので、ホスト H は従来と同様なコマンド/レスポンス通信により、複合 I/O カード 10A を一枚のカード型入出力装置として良好に認識できる。

#### 【0088】

##### 《実施例 2》

図 6 は、本発明の実施例 2 による複合 I/O カード 10B について、ホスト H との間のデータ交換を示すブロック図である。

この複合 I/O カード 10B は実施例 1 による複合 I/O カード 10A と同様、メモリユニット 1B と I/O ユニット 2B とを有する。しかし、メモリユニット 1B と I/O ユニット 2B とでは、実施例 1 によるものと比べ、それぞれの入出力部 11B と 21B とが異なる。図 6 では、実施例 1 による複合 I/O カード 10A と同様な構成に対し、図 1 と同じ符号を付す。更に、それらの同様な構成の説明は実施例 1 でのものを援用する。

#### 【0089】

メモリユニット 1B の入出力部 11B は、コマンド解読部 13、レジスタ 14、状態推測部 15B、レスポンス抑制部 16B、及びレジスタ推定部 17B を含む。同様に、I/O ユニット 2B の入出力部 21B は、コマンド解読部 23、レジスタ 24、状態推測部 25B、レスポンス抑制部 26B、及びレジスタ推定部 27B を含む。それぞれの構成について、両方の入出力部は共通する。以下、メモリユニット 1B の入出力部 11B について構成の詳細を説明する。

#### 【0090】



状態推測部 15 B は、コマンド解読部 13 により受信されたコマンドの履歴を記憶する。コマンドはメモリユニット 1 B と I/O ユニット 2 B との両方へ通知されるので、その履歴は両ユニットで共通である。従って、その履歴に基づき、状態推測部 15 B は I/O ユニット 2 B の入出力部 21 B の状態を推測する。

【0091】

レスポンス抑制部 16 B は、状態推測部 15 B により推測された状態に基づき、ホスト H のコマンドに対する I/O ユニット 2 B の応答動作を判断する。I/O ユニット 2 B のレスポンスをホスト H へ送出すべきと判断するとき、メモリユニット 1 B 内のコマンド解読部 13 のレスポンスを抑制する。こうして、メモリユニット 1 B の入出力部 11 B と I/O ユニット 2 B の入出力部 21 B との間でレスポンスの送出についての競合が解消され、レスポンス同士のコマンド線 CMD 上での衝突が回避される。

【0092】

レスポンス抑制部 16 B は、実施例 1 のレスポンス抑制部 16 A と同様に、レスポンス送出判断を行う（図 2 参照）。実施例 1 によるレスポンス送出判断と同様な部分については、実施例 1 での説明を援用する。

但し、ステップ D2 とステップ D3 とは、次の点で実施例 1 によるレスポンス送出判断と異なる。

ステップ D2 では、I/O ユニット 2 A の入出力部 21 A がアクティブであるか否かを、レスポンス抑制部 16 B は、状態推測部 15 B により推測された状態に基づき判断する。ステップ D3 では、レスポンス抑制部 16 A は状態推測部 15 B による推測に基づき、I/O ユニット 2 A の入出力部 21 A の状態をチェックする。

【0093】

I/O ユニット 2 B のコマンド解読部 23 により送出されたレスポンスは、コマンド線 CMD との節点（例えばワイヤード OR）を通し、メモリユニット 1 B のコマンド解読部 13 へも到達する。レジスタ推定部 17 B は、コマンド解読部 13 により受信された I/O ユニット 2 B のレスポンスを監視する。それにより、I/O ユニット 2 B の入出力部 21 B でのレジスタ 24 の更新を検知する。更に、そのレスポンスからレジスタ 24 の更新内容を推定し、メモリユニット 1 B のレジスタ 14 を同様に更新する。こうして、メモリユニット 1 B の入出力部 11 B と I/O ユニット 2 B の入出力部 21 B とでは、それぞれのレジスタ 14 と 24 とが共通の内容を保持する。

【0094】

特に、I/O ユニット 2 B の入出力部 21 B がスタンバイ状態 ST2 にあるとき、その入出力部 21 B のレスポンスをレジスタ推定部 17 B は監視し、入出力部 21 B でのカードアドレスの更新を検知する。更に、更新されたカードアドレスを推定し、レジスタ 14 に保持されるカードアドレスを書き換える。こうして、I/O ユニット 2 B のレジスタ 24 でカードアドレスが更新され、ホスト H へ送出されるごとに、メモリユニット 1 B のレジスタ 14 でもカードアドレスが同様に更新される。その結果、両ユニットが共通のカードアドレスを保持する。

【0095】

以下、ホスト H による複合 I/O カード 10 B 内の各ユニットに対する初期設定を例に挙げ、推測された入出力部の状態に応じた、レスポンスの送出についての調停動作を具体的に説明する。

ここで、メモリユニット 1 B の入出力部 11 B と I/O ユニット 2 B の入出力部 21 B とのそれぞれの初期設定時の状態遷移は、実施例 1 によるメモリユニット 1 A の入出力部 11 A と I/O ユニット 2 A の入出力部 21 A と共通である。すなわち、その状態遷移については、従来のカード型入出力装置の入出力部と共通する。それ故、その説明は実施例 1 によるものを援用する（図 3 参照）。

【0096】

図 7 は、実施例 2 による複合 I/O カード 10 B 内のそれぞれのユニットの入出力部について、その初期設定のフローチャートである。ここで、実施例 1 によるフローチャートと

同様なステップに対しては、図 3～4 と同じ符号を付す。更に、それらの説明は実施例 1 でのものを援用する。

一方、ホスト H についての初期設定のフローチャートは、実施例 1 によるものと共通である。すなわち、ホスト H は実施例 2 による複合 I/O カード 10B に対する初期設定を、実施例 1 による複合 I/O カード 10A に対するものと全く同様に実行する。

#### 【0097】

実施例 2 による複合 I/O カード 10B に対する初期設定について、実施例 1 によるものとは異なる部分を、以下説明する。

メモリユニット 1B 又は I/O ユニット 2B のいずれか、又はその両方がリセットされる時、リセットされた入出力部ではコマンドの履歴がクリアされる。従って、その入出力部では、状態推測部が他の入出力部の状態を推測しない。特に、電源投入時（ステップ S0）、二つの入出力部はいずれもリセットされるので、それらのいずれの状態推測部も、他の入出力部の状態を推測しない。

ここで、リセットされた入出力部は、実施例 1 のような状態通知部を持たないので、アイドル状態 S T 1 又はインアクティブ状態 S T 5 のいずれでも、その状態を他の入出力部へは通知できない。

#### 【0098】

リセット命令によりいずれか一方のユニットだけがリセットされる時（ステップ C0）、他方のユニットの入出力部では、コマンドの履歴が状態推測部により保持される。その状態推測部は、他のユニットに対するリセット命令の受信時、コマンドの履歴を参照し、「他の入出力部がリセットされ、アイドル状態 S T 1 にある」と推測する。

更に、アイドル状態 S T 1 の入出力部をインアクティブ状態 S T 5 へ移行させるためのコマンドの受信時、他の入出力部の状態推測部は、「他の入出力部がアイドル状態 S T 1 からインアクティブ状態 S T 5 へ遷移した」と推測する。

#### 【0099】

アイドル状態 S T 1 の入出力部は、初期化命令の受信（ステップ C1）により初期化を開始する（ステップ S1）。その初期化命令の受信時、他の入出力部の状態推測部は、「他の入出力部がアイドル状態 S T 1 からスタンバイ状態 S T 2 へ遷移した」と推測する。

#### 【0100】

スタンバイ状態 S T 2 にある入出力部は、カードアドレス送出命令に従いカードアドレスを更新しても（ステップ S7）、更新されたカードアドレスを他の入出力部へ通知しない。しかし、他の入出力部では、レジスタ推定部が上記のように、スタンバイ状態 S T 2 にある入出力部のレスポンスに基づき、更新されたカードアドレスを推定し、カードアドレスを同様に更新する。

特に、両ユニットの入出力部が共にスタンバイ状態 S T 2 にあるとき、レスポンス抑制部によるレスポンス送出判断（図 2 参照）に基づき、優先権を持たない入出力部は、カードアドレス送出命令に対するレスポンス、すなわちカードアドレスの送出を抑制する（ステップ S15）。更に、ステップ S4 で、ホスト H からのコマンドと共に、優先権を持つ入出力部から送出されるレスポンスを監視する。そのレスポンスから、優先権を持つ入出力部でのカードアドレスの更新が検知されるとき、レジスタ推定部が上記のように、カードアドレスを同様に更新する（ステップ S17）。

#### 【0101】

スタンバイ状態 S T 2 にある入出力部は、ステップ S4 でカード選択命令を受信するとき、データ転送可能状態 S T 3 へ遷移する。従って、いずれの入出力部も、カード選択命令の受信時、「スタンバイ状態 S T 2 にある他の入出力部がデータ転送可能状態 S T 3 へ遷移した」と推測する。

#### 【0102】

コマンドの履歴に基づく他の入出力部の状態の推測、及び、他の入出力部のレスポンスの監視を通したレジスタの更新は、上記の初期設定でのものと同様に、データ転送可能状態以降の入出力部でも行われる。

## 【0103】

以上の通り、実施例 2 による複合 I/O カード 10B では、メモリユニット 1B の入出力部 11B と I/O ユニット 2B の入出力部 21B とがコマンドの履歴を記憶し、それに基づき相互の状態を推測する。ホスト H のコマンドに対するレスポンスが競合するとき、それぞれの入出力部の状態に応じ、一方のレスポンスが抑制され、適切なレスポンスのみが送出される。それにより、ホスト H は複合 I/O カード 10B を、一枚のカード型入出力装置として良好に認識できる。

## 【0104】

実施例 2 による複合 I/O カード 10B では、実施例 1 による複合 I/O カード 10A と異なり、メモリユニット 1B と I/O ユニット 2B との間の配線が少ない。従って、ハードウェアが比較的簡単な構成であるので、回路規模を低減できる。

その反面、それぞれの入出力部による他の入出力部の状態の把握については、実施例 1 のような直接的監視が確実である。

## 【0105】

本発明による複合 I/O カードは、上記の実施例による構成の他に、次のような構成を持っていても良い。

例えば、実施例 1 による構成で、レジスタ更新通知部を実施例 2 と同様なレジスタ推定部に置換しても良い。逆に、実施例 2 による構成で、レジスタ推定部を実施例 1 と同様なレジスタ更新通知部に置換しても良い。それらの構成でも、ホストのコマンドに対するレスポンスが競合するとき、それぞれの入出力部の状態に応じ、一方のレスポンスを抑制し、適切なレスポンスのみを送出できる。それにより、ホストはその複合 I/O カードを、一枚のカード型入出力装置として良好に認識できる。

以上のことは、当業者であれば、上記の実施例の説明に基づき、容易に理解できるであろう。

## 【0106】

## 【発明の効果】

本発明による複合入出力装置は、例えば二つの入出力部を有する。それらの入出力部は、共通のバスでホストへ接続され、共通のアドレスでアクセスされる。特に、ホストのコマンドは、いずれの入出力部宛であるかに関わらず、両方の入出力部へ到達する。それぞれの入出力部は、相互の状態に応じ、コマンドに対するレスポンスを送出し、又は抑制する。それにより、それぞれの入出力部のレスポンスの内、いずれか適切な一方だけがホストへ返信され、それらのレスポンス同士がバス上で衝突しない。こうして、この複合入出力装置は、二つの入出力部のいずれか一方だけを含む従来の入出力装置と同様な一つの入出力装置として、ホストにより良好に認識される。

## 【0107】

上記の複合入出力装置では、二つの入出力部が相互の状態を直接監視しても良い。その他に、それぞれの入出力部がコマンドの履歴を保持し、それに基づき相互の状態を推測しても良い。上記の監視及び推測のいずれでも、それぞれの入出力部が相互のレスポンスの内容を正確に把握できる。その結果、それぞれの入出力部がいずれのレスポンスを返信すべきかを、適切に判断できる。

## 【図面の簡単な説明】

【図 1】本発明の実施例 1 による複合 I/O カード 10A について、ホスト H との間のデータ交換を示すブロック図である。

【図 2】本発明の実施例 1 による複合 I/O カード 10A での、レスポンス抑制部 16A によるレスポンス送出判断のフローチャートである。

【図 3】本発明の実施例 1 による複合 I/O カード 10A、本発明の実施例 2 による複合 I/O カード 10B、及び、従来のカード型入出力装置のいずれの入出力部についても共通である、初期設定時の状態遷移を示す図である。

【図 4】本発明の実施例 1 による複合 I/O カード 10A の初期設定の内、初期設定開始からメモリユニット 1A と I/O ユニット 2A との初期化完了までのフローチャートであ

る。(a)は、ホストHについてのフローチャートであり、(b)は、複合I/Oカード10A内の二つの入出力部11Aと21Aとのそれぞれについてのフローチャートである。

【図5】本発明の実施例1による複合I/Oカード10Aの初期設定の内、図4に示される部分に続く、カードアドレスの設定から初期設定の終了までのフローチャートである。

(a)は、ホストHについてのフローチャートであり、(b)は、複合I/Oカード10A内の二つの入出力部11Aと21Aとのそれぞれについてのフローチャートである。

【図6】本発明の実施例2による複合I/Oカード10Bについて、ホストHとの間のデータ交換を示すブロック図である。

【図7】本発明の実施例2による複合I/Oカード10B内のそれぞれのユニットの入出力部について、その初期設定のフローチャートである。

【図8】従来のメモ리카ード100とホストHとの間でのデータ交換を示すブロック図である。

【図9】従来のI/Oカード200とホストHとの間でのデータ交換を示すブロック図である。

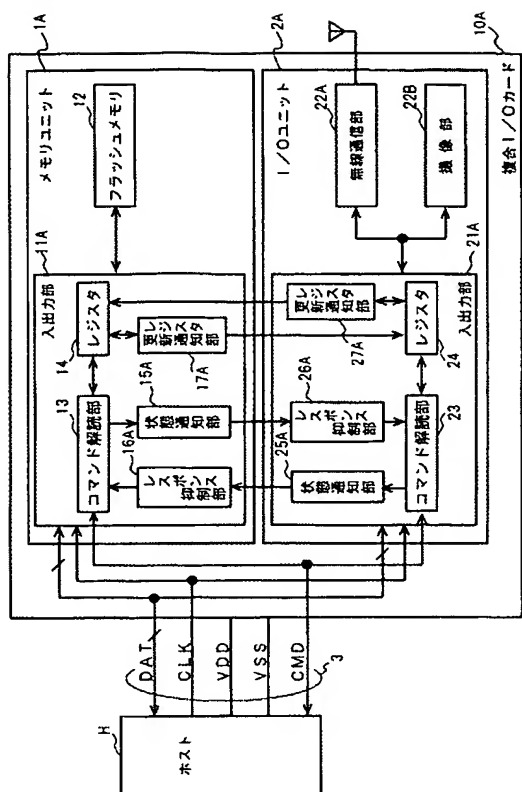
【図10】従来のカード型入出力装置に対する初期設定のフローチャートである。(a)はホストHについてのフローチャートであり、(b)はカード型入出力装置の入出力部についてのフローチャートである。

【図11】複合I/Oカード300の内部構成の一例を示すブロック図である。

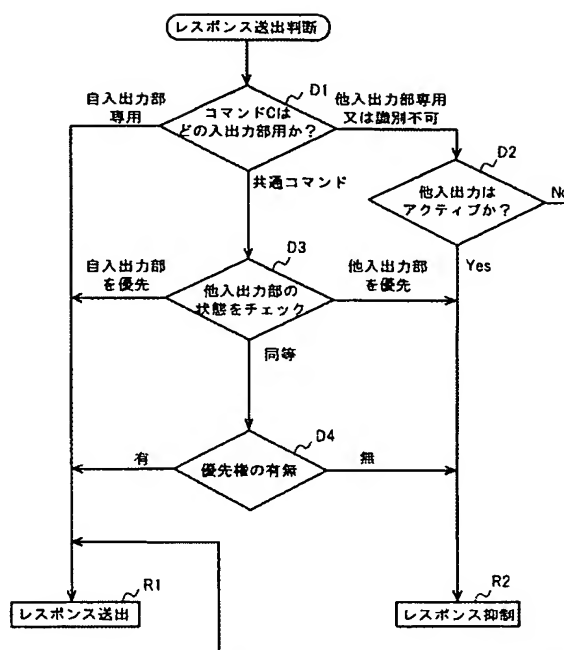
【符号の説明】

10A	複合I/Oカード
1A	メモリユニット
11A	メモリユニット1Aの入出力部
2A	I/Oユニット
21A	I/Oユニット2Aの入出力部
3	バス
DAT	データ線
CLK	クロック線
VDD	電源線
VSS	グラウンド線
CMD	コマンド線

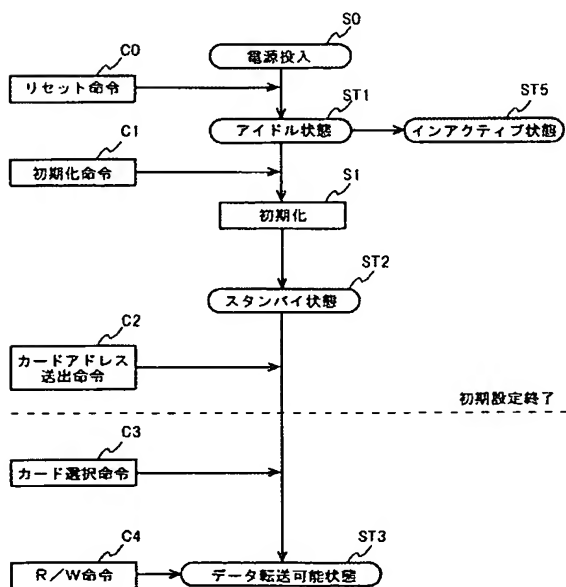
【図 1】



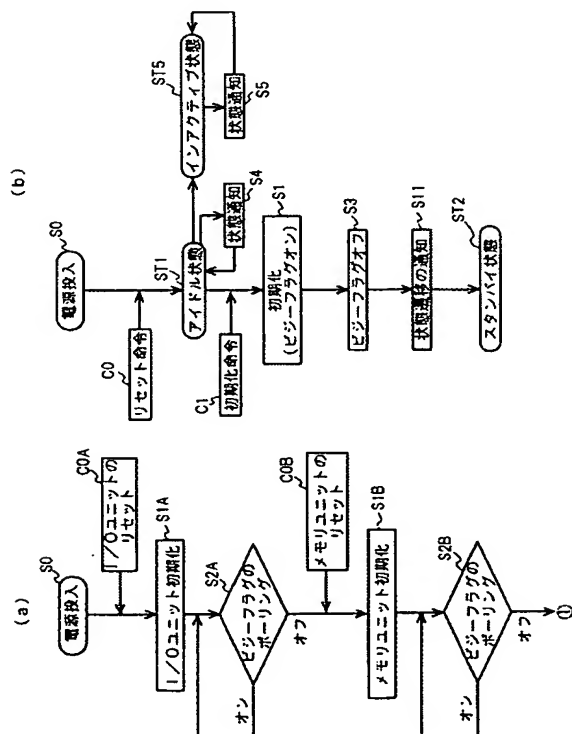
【図 2】



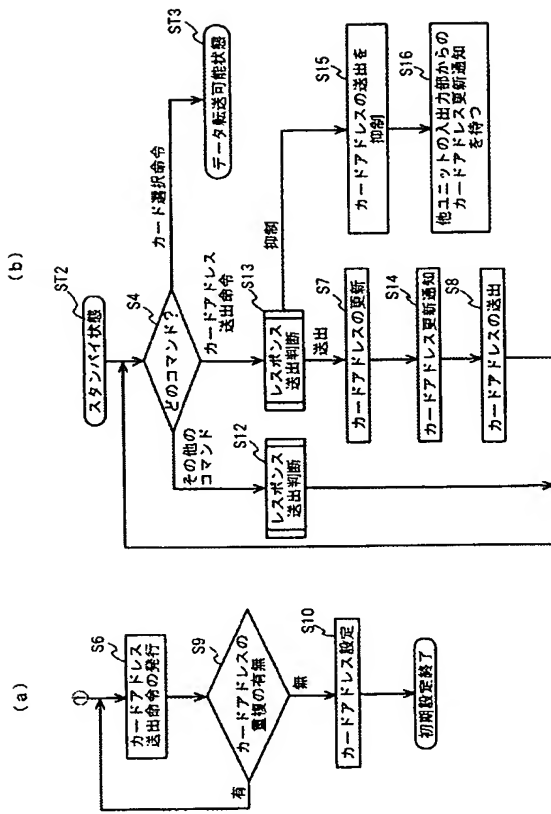
【図 3】



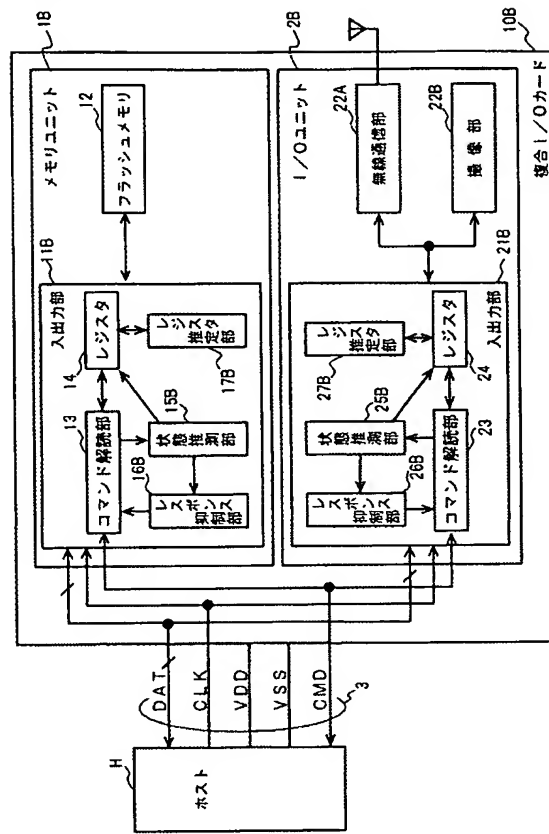
【図 4】



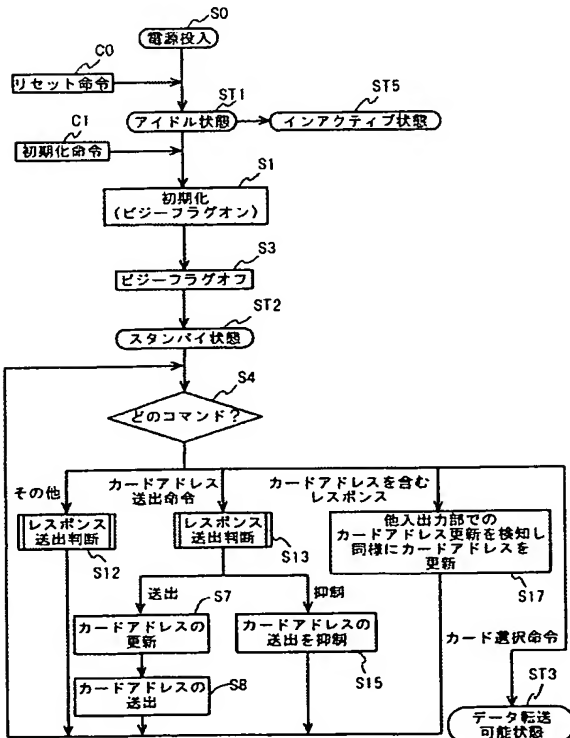
【図 5】



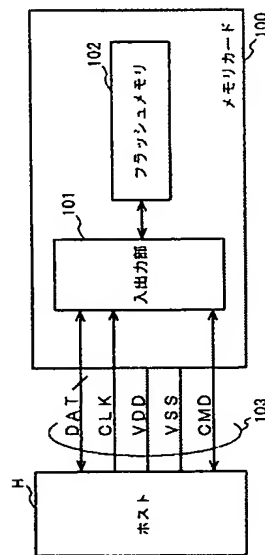
【図 6】



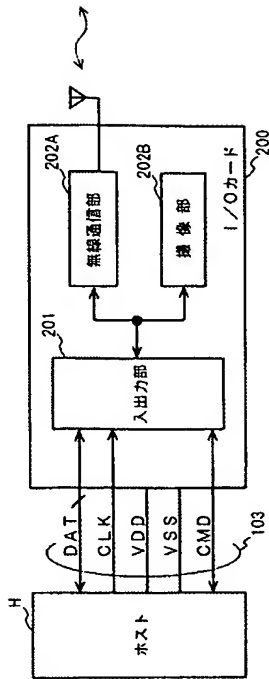
【図 7】



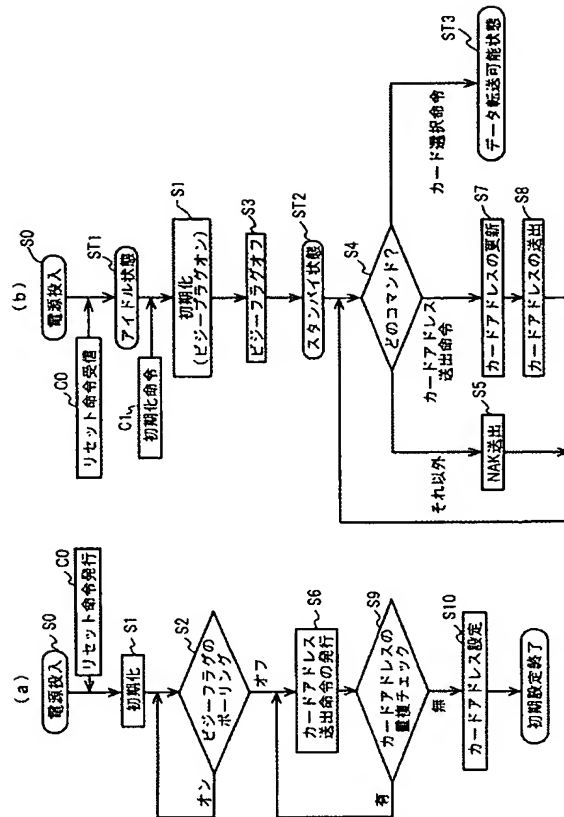
【図 8】



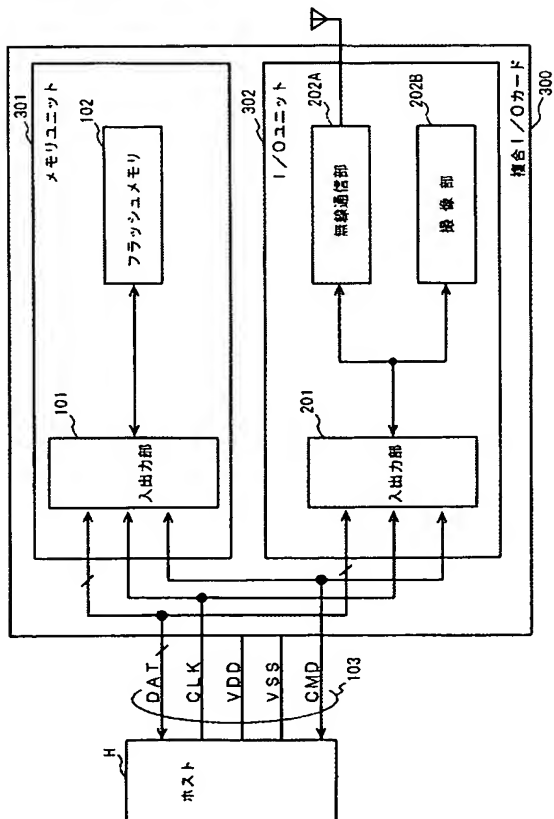
【図 9】



【図 10】



【図 1 1】



---

フロントページの続き

(72)発明者 笠原 哲志

大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

(72)発明者 足立 達也

大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

Fターム(参考) 5B014 EB01 FB04 CA06 CA08 CA13 CA24 CA54 GD05 GD22 GD33

HC12

5B035 AA00 BB09 CA11 CA22